

低電源電圧動作時における マスタースレーブフリップフロップ回路 の動作検討

北海道大学

小川太一 廣瀬哲也 浅井哲也 雨宮好仁

背景・目的

情報ネットワーク社会
の進展



スマートセンサによる
ユビキタス情報環境



スマートセンサ

広い範囲に分散配置
微小なエネルギー源
数年にわたる連続動作



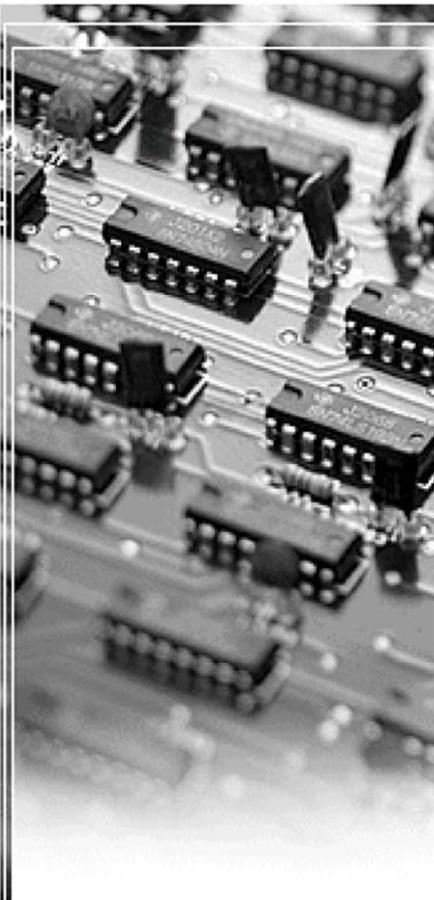
極低消費電力

サブスレッショルド領域の活用

(消費電力 数 μ W)

サブスレッショルドLSIの開発

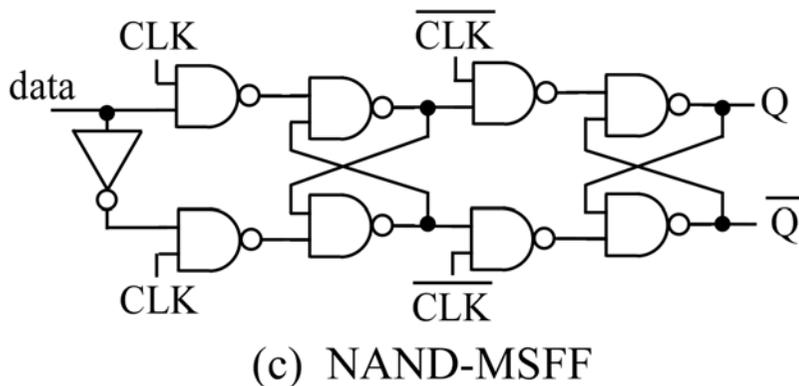
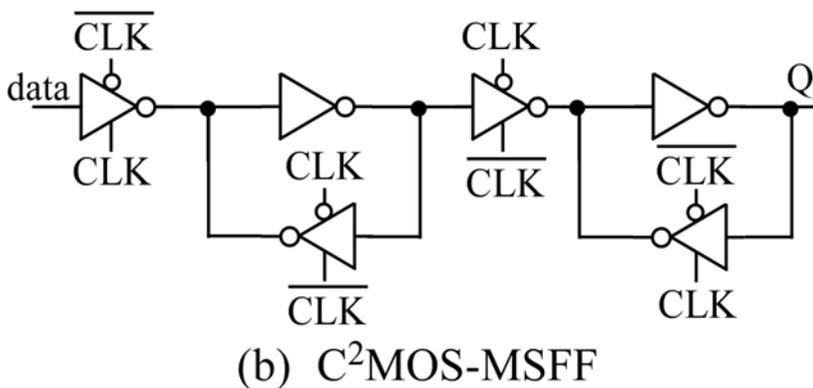
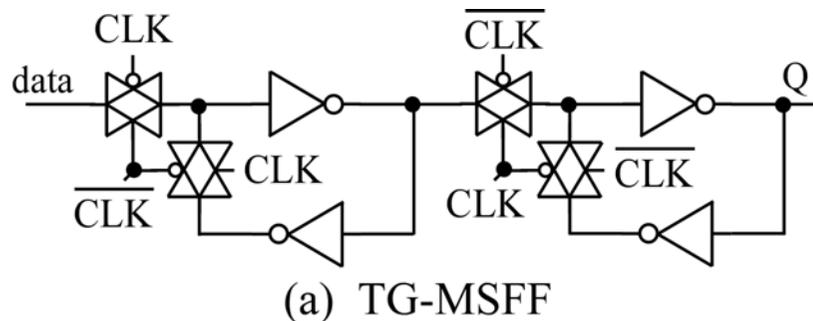
サブスレッショルド領域を利用したデジタル要素回路の開発



マスタースレーブフリップフロップ (MSFF)

- ◆ 2個のフィードバックループを持つ順序回路
- ◆ 入力部(マスター)と出力部(スレーブ)が独立
→ 回路が安定(レースレス)
- ◆ 1ビットの記憶を保持
- ◆ デジタル論理回路に幅広く利用
(SRAM・レジスタ・カウンタ等に使用)

比較・検討したMSFF



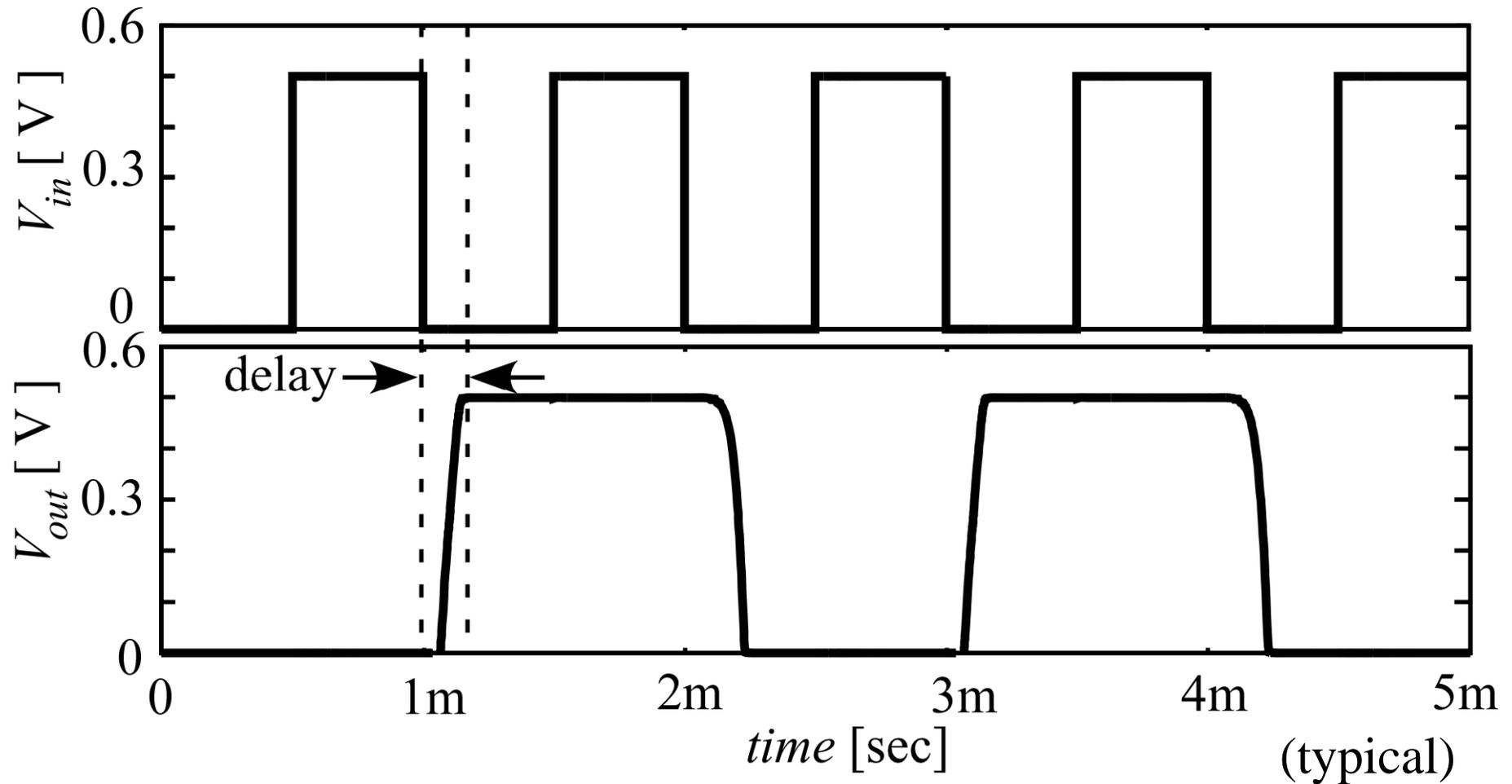
- ダイナミック型
 - (a) TG-MSFF
 - (b) C²MOS-MSFF
- スタティック型
 - (c) NAND-MSFF

各MSFFをTFF構成 (data = Q)
 ↓ (CLK → V_{in} Q → V_{out})
 フリップフロップ動作を評価

Technology

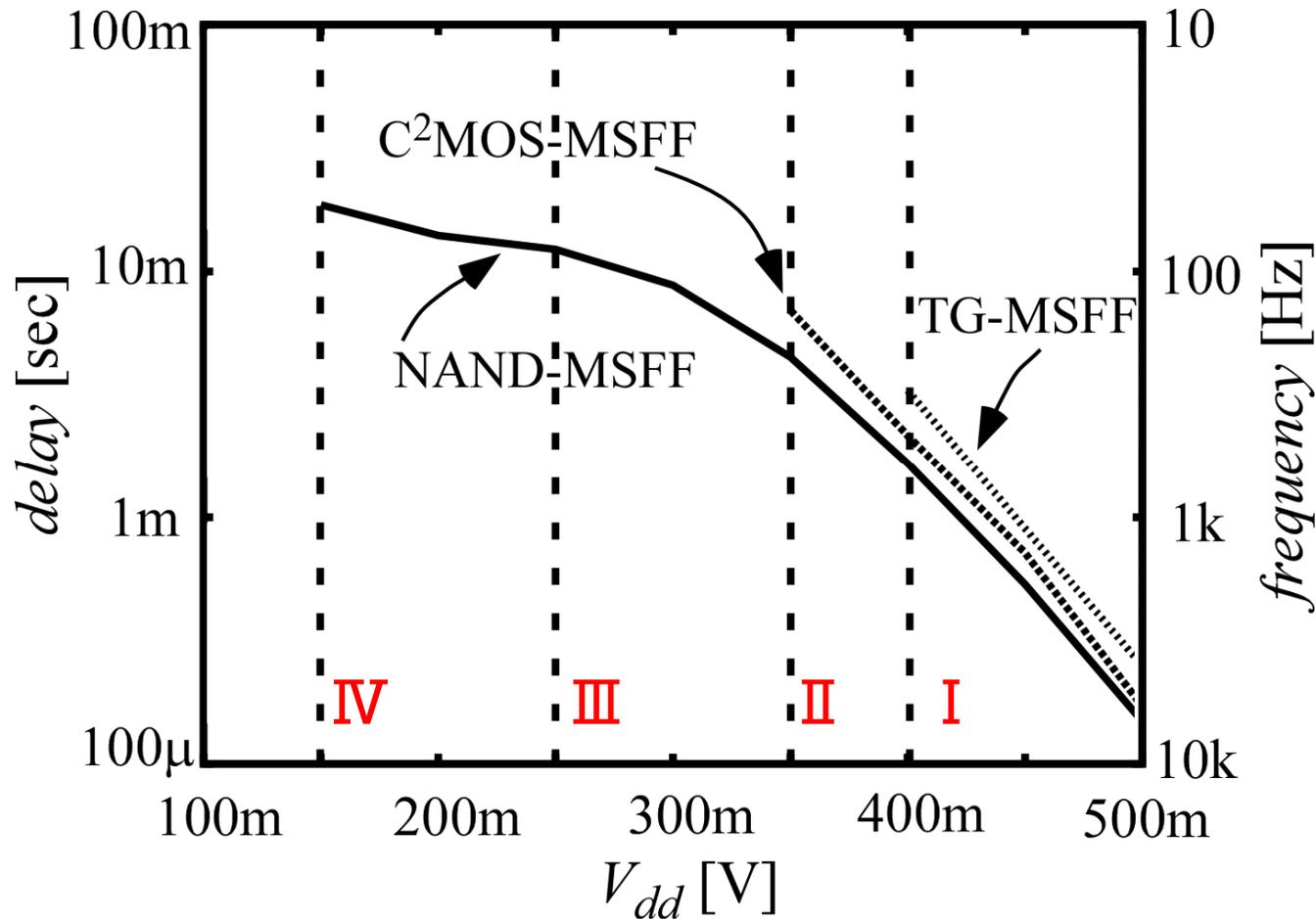
0.35 μ m 2P4M CMOS

MSFF(TFF構成)の波形



ダイナミック型 (b) C²MOS-MSFF

CLK-to-Q delay 特性



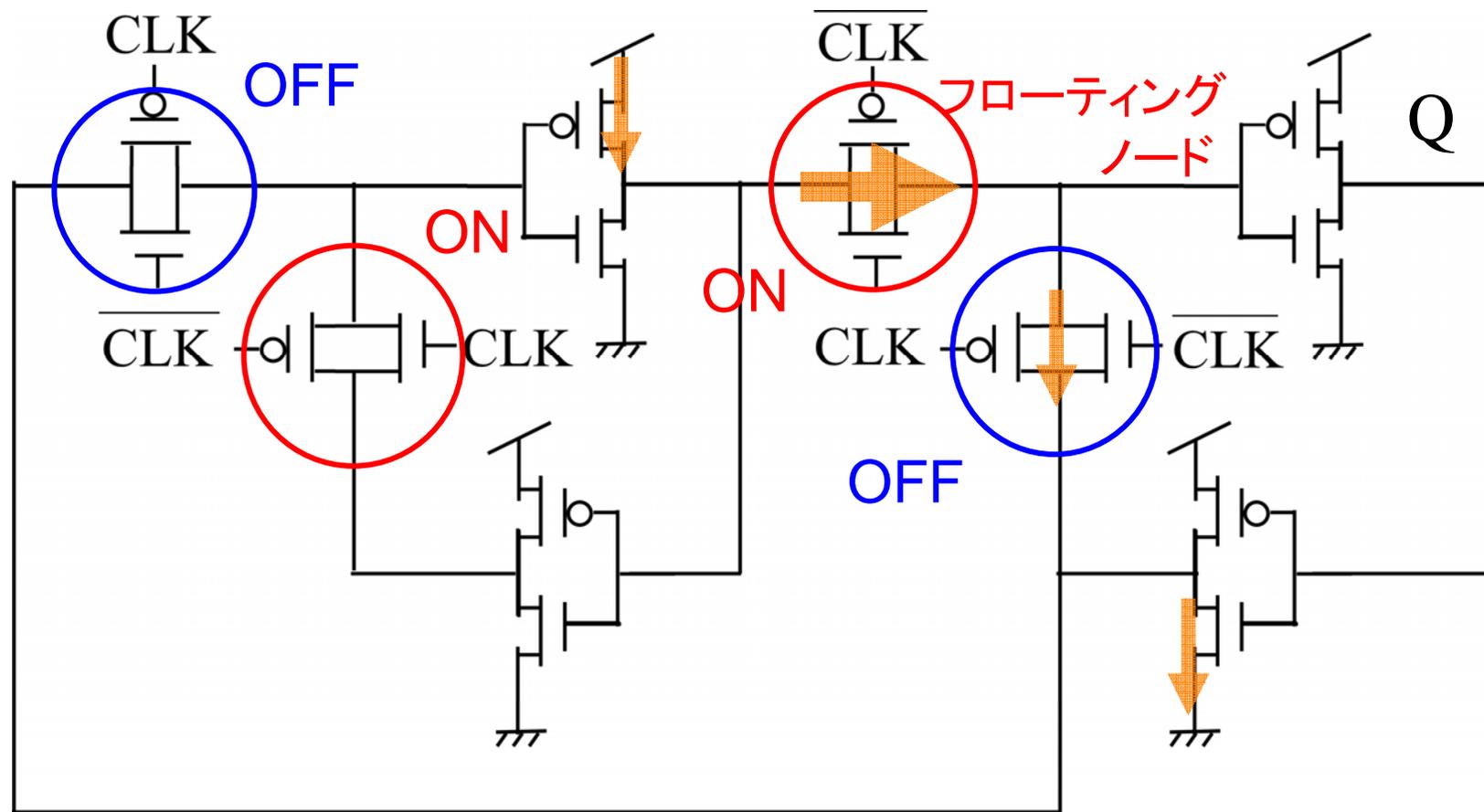
I, TGのオン・オフ限界

III, インバータの動作限界

II, C²MOSのオン・オフ限界

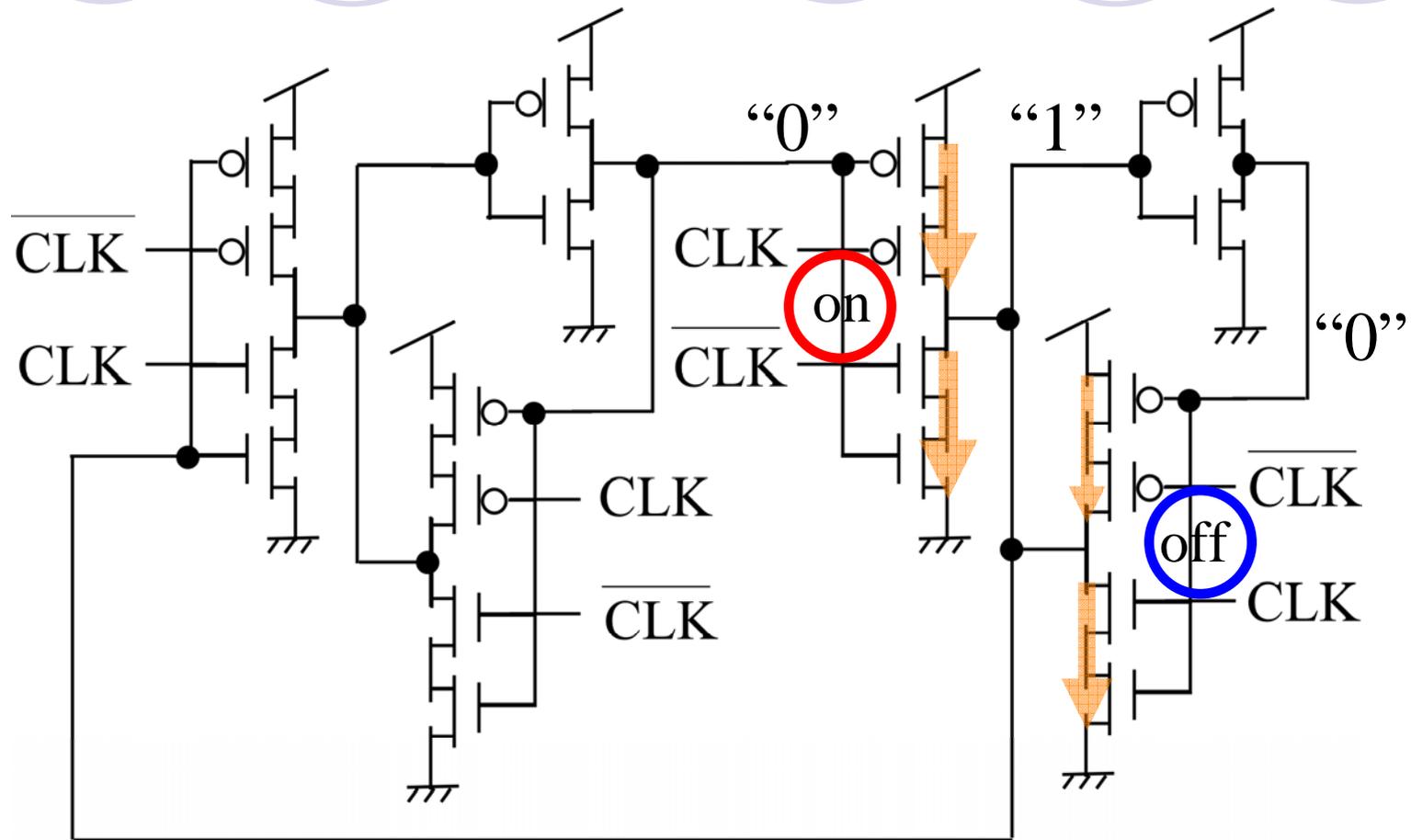
IV, NANDのリーク動作

I, TGのオン・オフ限界



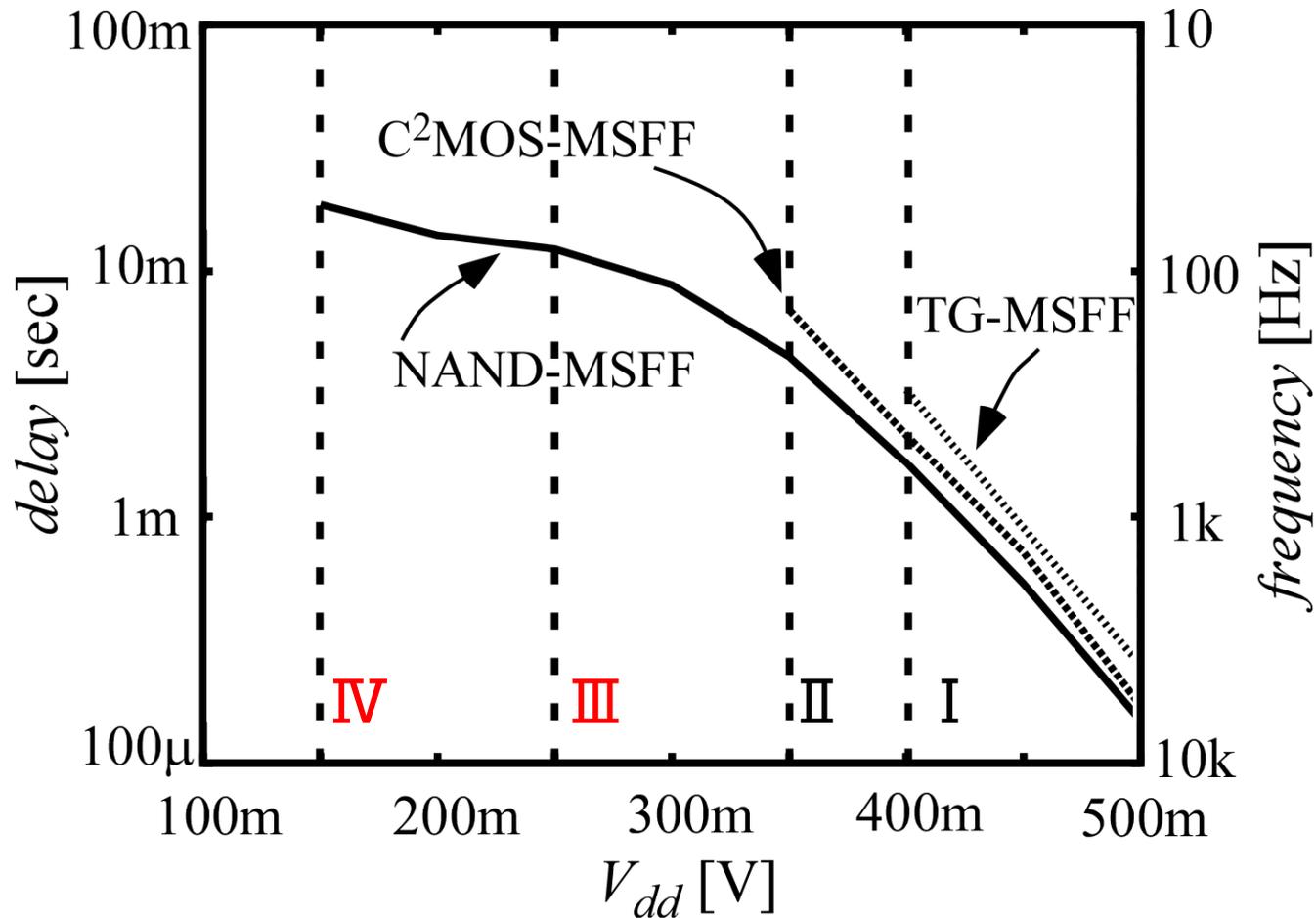
フローティングノード あり → インバータの V_{GS} 確保困難

II, C²MOSのオン・オフ限界



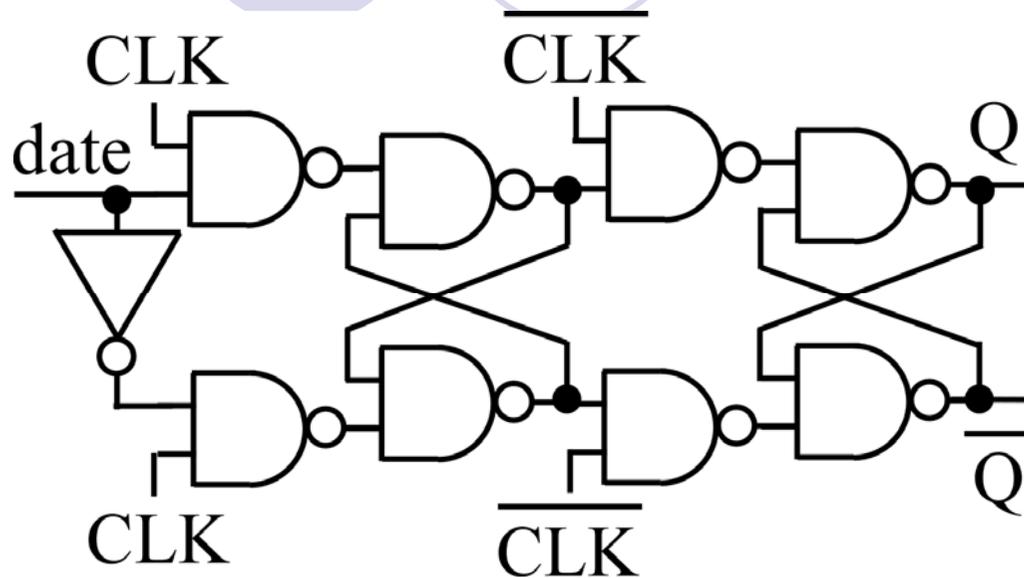
フローティングノード なし → インバータの V_{GS} 確保容易

CLK-to-Q delay 特性



Ⅲ, インバータの動作限界
Ⅳ, NANDのリーク動作

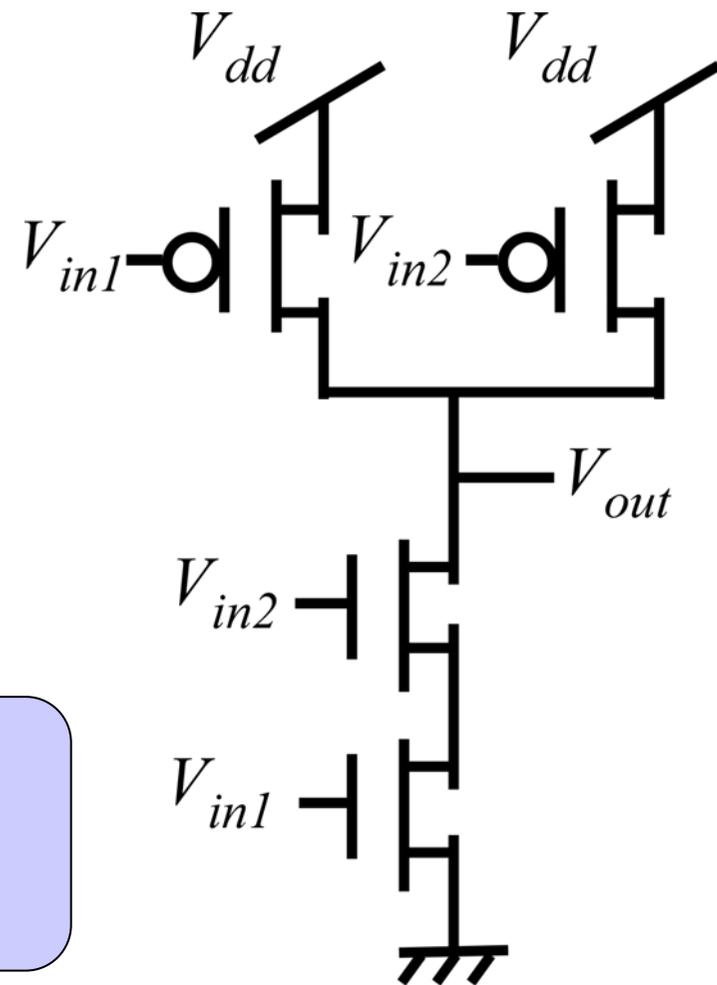
III ~ IV, NAND-MSFFの低電圧解析



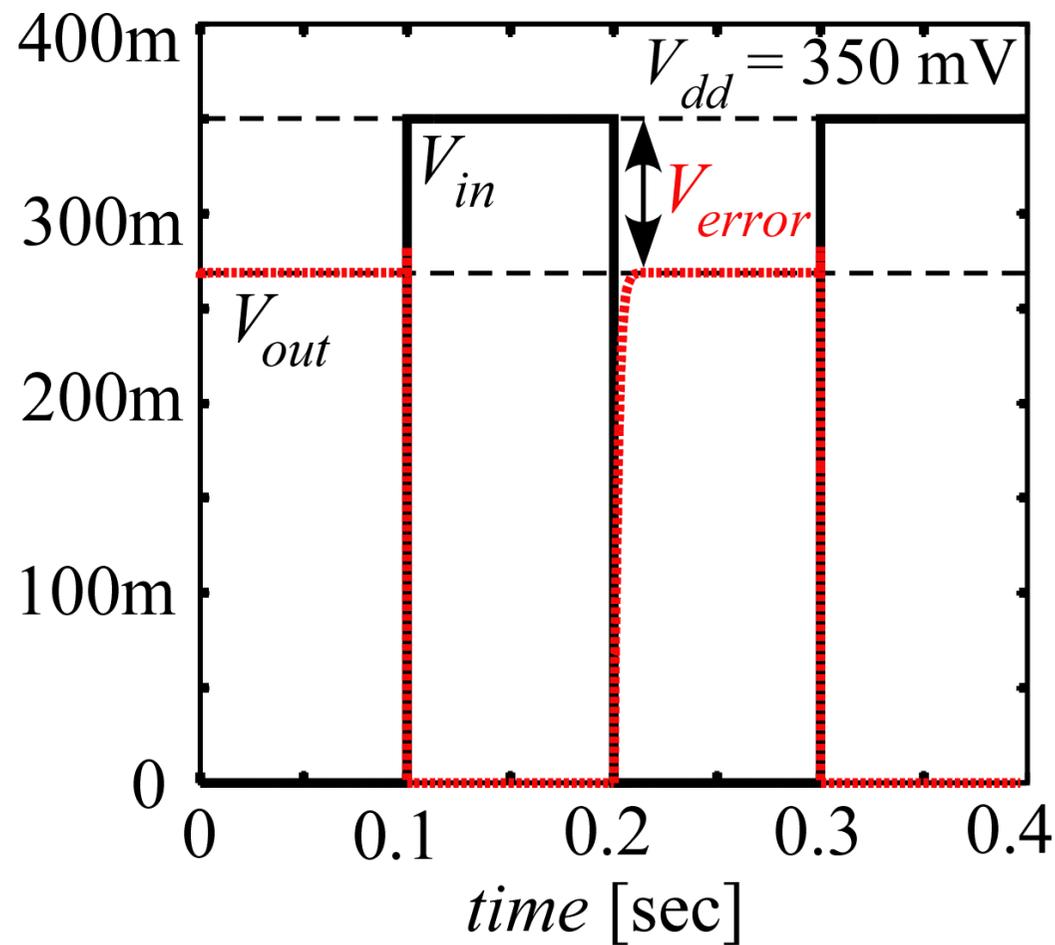
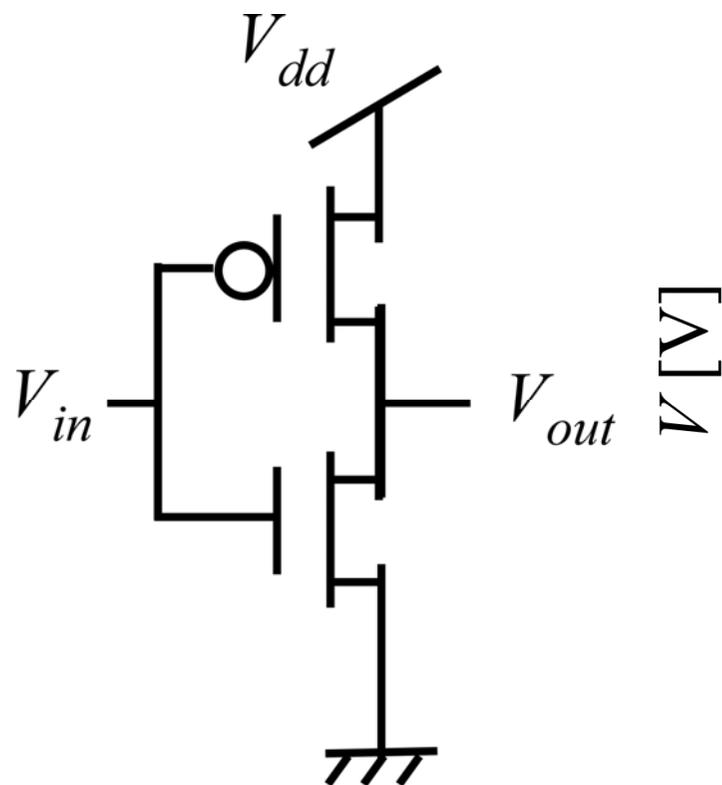
- フローティングノードなし

NANDの低電圧解析

→ インバータの低電圧解析



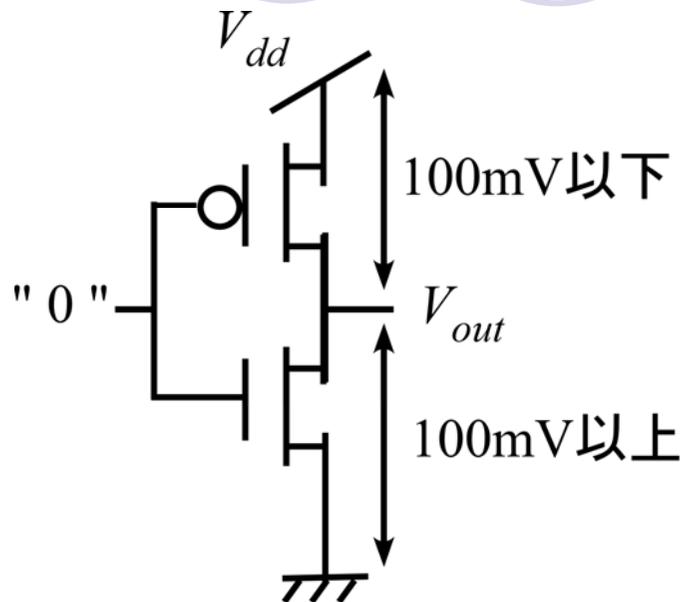
Ⅲ, インバータの動作限界



低電圧動作 $\rightarrow V_{out} = V_{dd} + V_{error}$

Ⅲ, インバータの低電圧解析

サブスレッショルドの電流式



$$I_{ds} = I_o \exp\left(\frac{V_{gs} - V_{th}}{\eta V_t}\right) \left(1 - \exp\left(-\frac{V_{ds}}{V_t}\right)\right)$$

$$\approx I_o \exp\left(\frac{V_{gs} - V_{th}}{\eta V_t}\right) \quad (V_{ds} > 100\text{mVのとき})$$

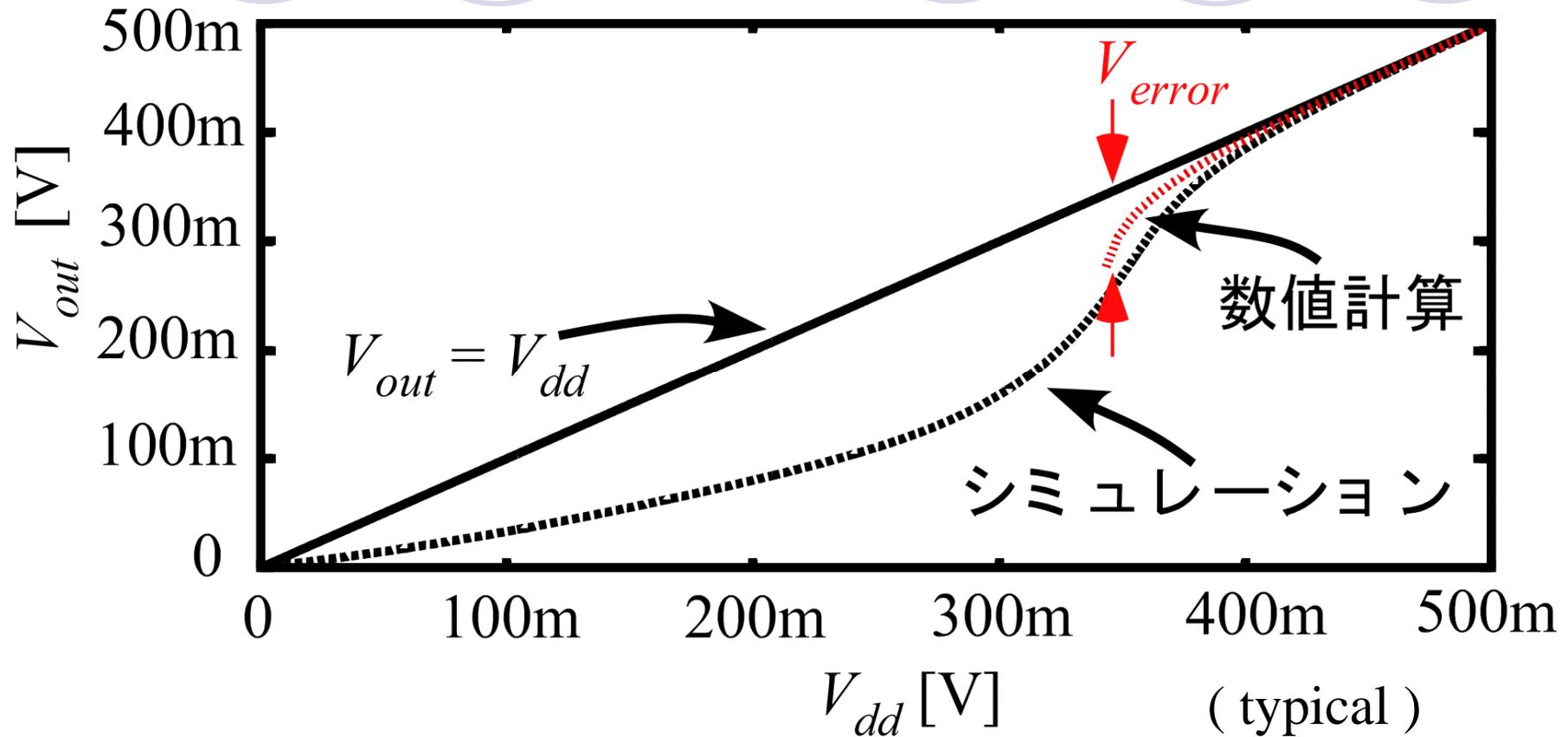
$$\left(I_o = \mu C_{ox} \frac{W}{L} (m-1) \left(\frac{kT}{q}\right), V_t = \frac{kT}{q} \right)$$

$$V_{out} = V_{dd} + V_{error}$$

$$V_{error} = V_t \ln \left(1 - \frac{I_{on}}{I_{op}} \exp \left(\frac{(V_{thp} - V_{thn}) - V_{dd}}{\eta V_t} \right) \right)$$

V_{dd} が低下 → しきい値の差 が V_{error} に大きく影響

Ⅲ, インバータの $V_{dd} - V_{out}$ 特性 ($V_{in} = 0$)

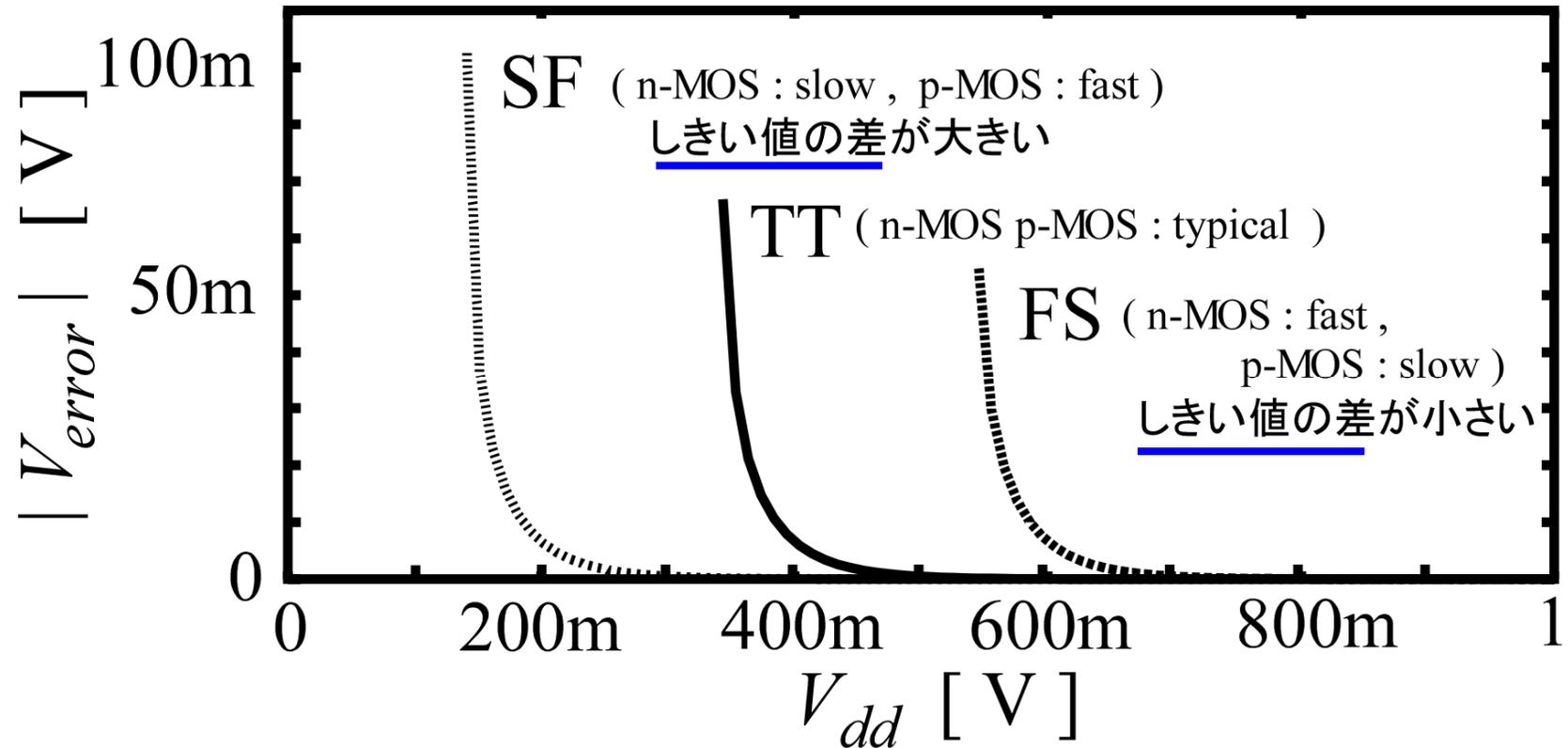


$$V_{out} = V_{dd} + V_{error}$$

350 mV から V_{error} が発生

250mV程度まで論理動作が可能

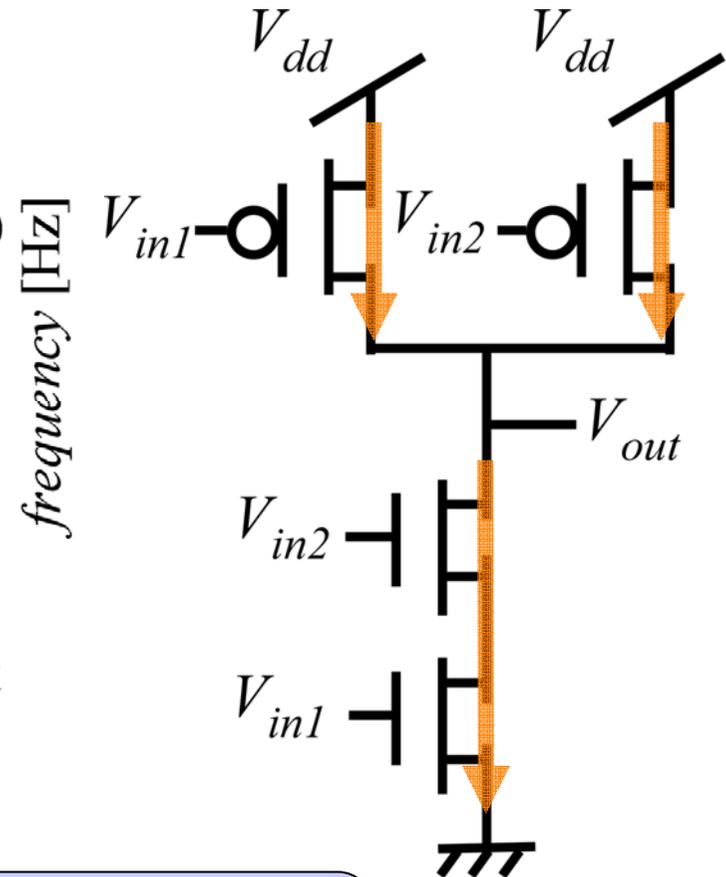
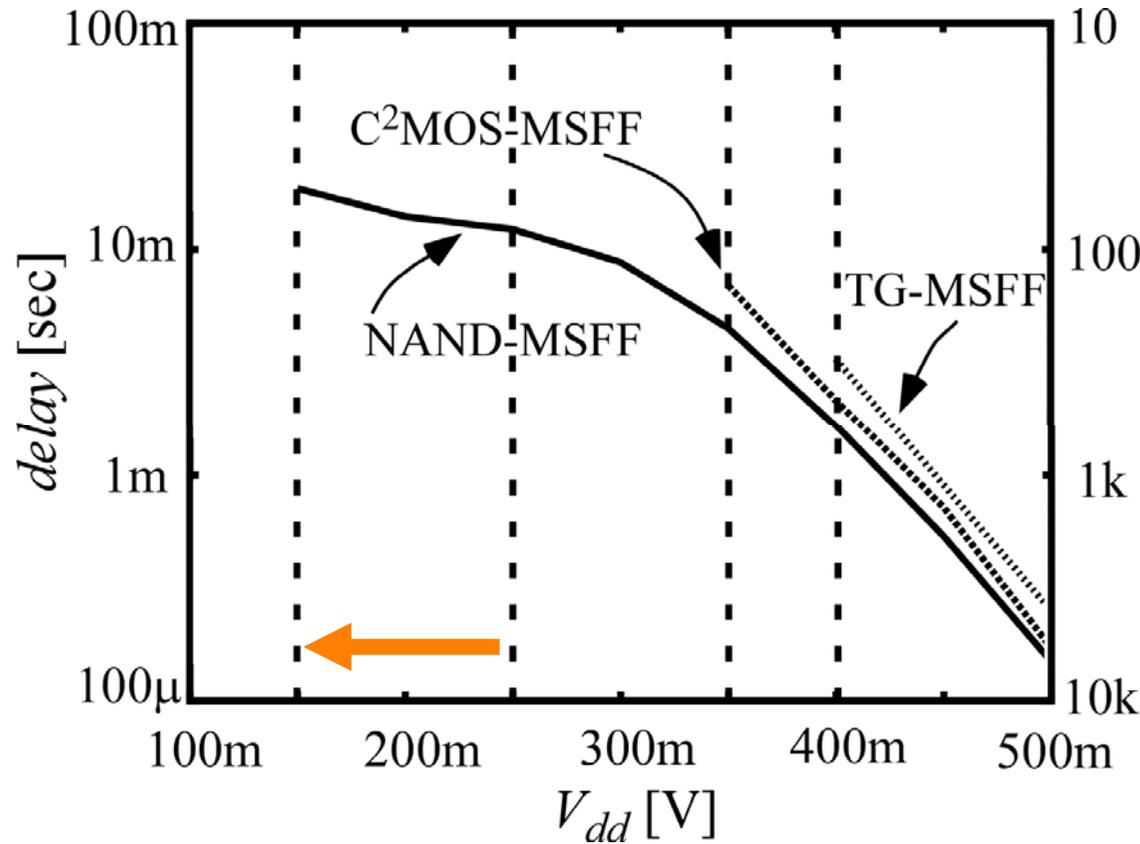
Ⅲ, インバータの低電圧解析③



$$V_{error} = V_t \ln \left(1 - \frac{I_{on}}{I_{op}} \exp \left(\frac{(V_{thp} - V_{thn}) - V_{dd}}{\eta V_t} \right) \right)$$

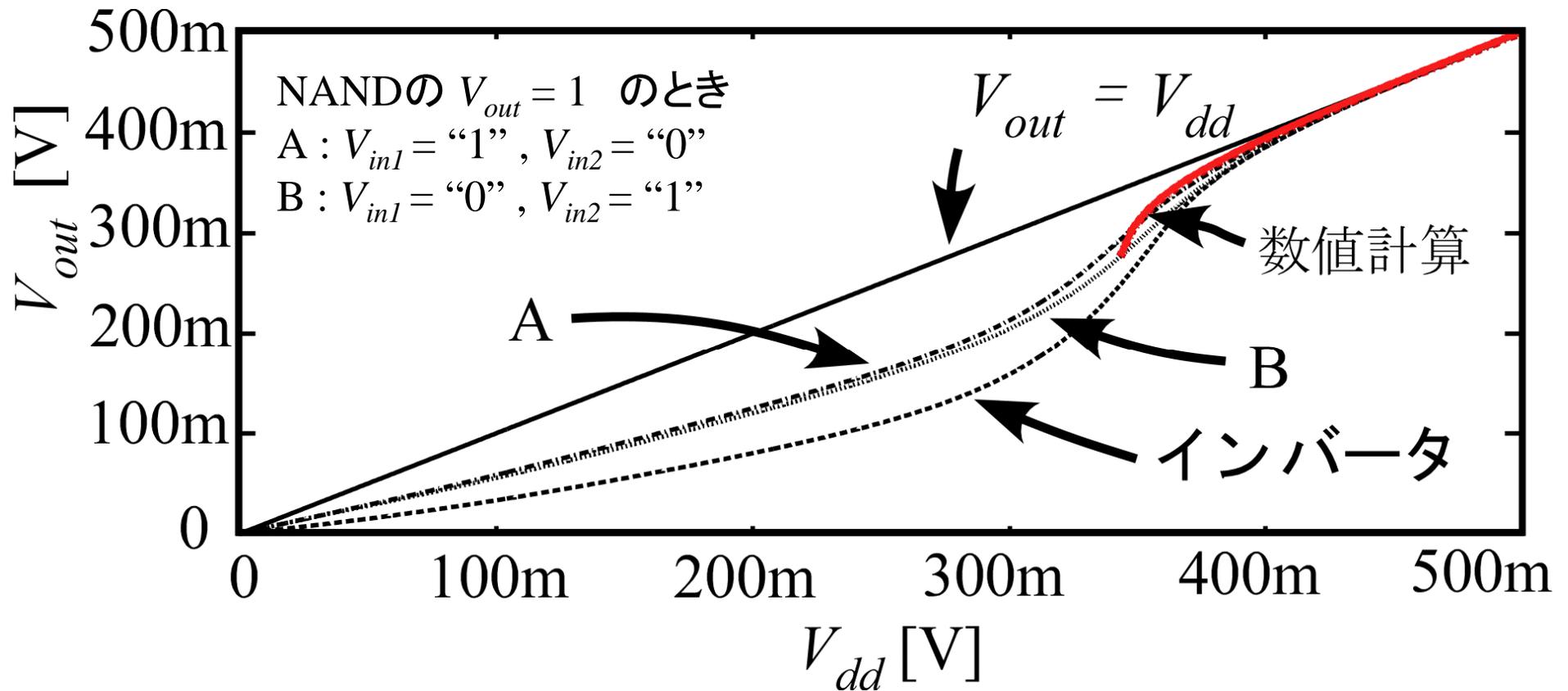
インバータの低電圧動作 → しきい値の差が大きく影響

IV, NANDのリーク動作



NANDのリーク電流の影響 → V_{out} が大きくなる
 (n-MOSがスタックが構造)

IV, NANDの $V_{dd} - V_{out}$ 特性



$$V_{out} = V_{dd} + V_{error}$$

NANDの方がインバータよりも V_{out} が大きい

まとめ

サブスレッショルドデジタルの低電圧動作解析

● MSFFの低電圧動作解析

- (a) TG-MSFF → TGのオン・オフ動作限界
- (b) C²MOS-MSFF → C²MOSのオン・オフ動作限界
- (c) NAND-MSFF → インバータの動作限界（NANDのリーク動作）

インバータの V_{error} が重要

$$V_{out} = V_{dd} + V_{error}$$

$$V_{error} = V_t \ln \left(1 - \frac{I_{on}}{I_{op}} \exp \left(- \frac{(V_{thp} - V_{thn}) - V_{dd}}{\eta V_t} \right) \right)$$

- しきい値の差を小さくすることで低電圧動作が見込める
- サブスレッショルドのデジタル回路はしきい値バラつきが致命的
- しきい値の差をセンシングして V_{dd} にフィードバックする
補正アーキテクチャを検討中