

Collision-based fusion gateを用いた16bit乗算器の設計

A 16bit multiplier consisting of collision-based fusion gates

山田 和人
Kazuhito Yamada

浅井 哲也
Tetsuya Asai

廣瀬 哲也
Tetsuya Hirose

雨宮 好仁
Yoshihito Amemiya

北海道大学大学院 情報科学研究科
Graduate School of Information Science and Technology, Hokkaido University

1 はじめに

組み合わせ論理回路について、collision-based fusion gateを用いた場合とCMOSロジックを用いた場合でトランジスタ数の比較を行った。低電圧デジタル回路の使用を想定し、CMOSロジックは2入力のものを使用した。その結果、前者の方がトランジスタ数を少なくできる[1]。本稿では、collision-based fusion gateを用いて乗算器を構成し、CMOSロジックで構成した場合とトランジスタ数を比較した結果について述べる。

2 collision-based fusion gateを用いた論理回路

図1(a)にcollision-based fusion gateの模式図と回路図を示す。これらを用いることで組み合わせ論理回路を構成できる[1]。図1(b)、(c)にand、or、多数決論理回路、全加算器について、collision-based fusion gateを用いた場合とCMOSロジックを用いた場合でトランジスタ数の比較を行った結果を示す。collision-based fusion gateを用いて論理回路を構成すると、トランジスタ数の削減に効果的である。

3 collision-based fusion gateを用いた乗算器

ブースのアルゴリズムにより部分積生成回路を構成した。collision-based fusion gateを用いてBTD、SIB、SELを構成した。その模式図を図2に示す。また、ワレス木、桁上げ先見加算器をcollision-based fusion gateを用いて構成した。それらを用いて16bit乗算器を構成した。その構成を図3(a)に示す。

乗算器についてcollision-based fusion gateを用いた場合とCMOSロジックを用いた場合でトランジスタ数の比較を行った。その結果を図3(b)に示す。CMOSロジックを用いた場合に比べ、トランジスタ数を約4割削減できることがわかる。

4 結果と今後の展望

collision-based fusion gateを用いて、ブースのアルゴリズムを実行する回路を構成した。その回路を用いてcollision-based fusion gateを用いた乗算器を構成し、CMOSロジックを用いた構成とトランジスタ数の比較を行った。その結果、トランジスタ数を大きく削減することができる。

今回はトランジスタ数の比較のみを行ったが、今後は遅延時間と消費電力についてもCMOSロジックとの比較を行っていく。

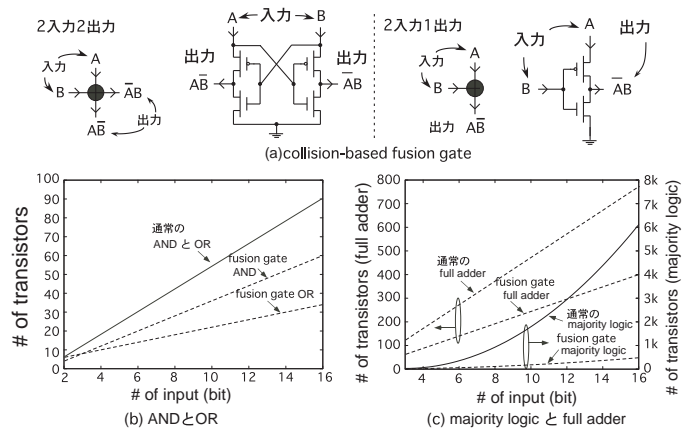


図1 (a)collision-based fusion gateの模式図と回路図、(b),(c) collision-based fusion gateで構成した場合とCMOSロジックで回路を構成した場合のトランジスタ数の比較。

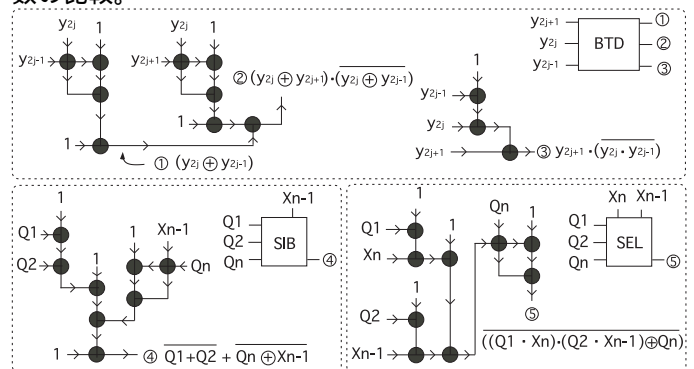


図2 ブースのアルゴリズム実行のためのBTD,SIB,SELの回路図。

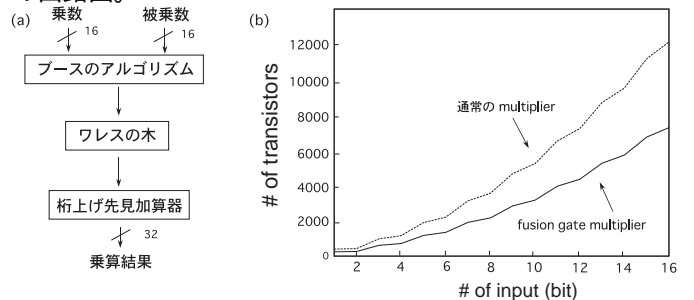


図3 (a)乗算器の回路構成、(b)collision-based fusion gateで回路を構成した場合とCMOSロジックで構成した場合のトランジスタ数の比較。

参考文献

[1] Yamada K., et al., *IEICE Electron. Expr.* **3**(13), 292-298 (2006).