

サブスレッショルド CMOS 演算増幅器によるハイパスフィルタ回路

High-pass filter circuit that uses subthreshold CMOS operational amplifiers

飯田 智貴
Iida Tomoki

浅井 哲也
Asai Tetsuya

雨宮 好仁
Amemiya Yoshihito

北海道大学大学院 情報科学研究科
Department of Electrical Engineering, Hokkaido University

1. まえがき

集積回路では大容量キャパシタや高抵抗は大面積を必要とするため集積化が困難である。しかし、大容量と高抵抗が搭載できるならば、遮断周波数の低いフィルタを集積回路上に形成することが容易となる。本稿では、大容量と高抵抗からなる RC ハイパスフィルタの動作をサブスレッショルド動作の CMOS 回路で模擬することを考える。以下では、はじめにサブスレッショルド CMOS 演算増幅器が持つ大きい時定数の特性を示し、次にその特性を用いてハイパスフィルタと等価の動作を行う回路を構成する。

2. サブスレッショルド領域で動作する演算増幅器

図1に演算増幅器の回路構成を示す。差動入力段のテイル電流の値を数 nA 以下の低電流に設定する（後段のソース接地増幅器は普通の電流値）。したがって差動回路の MOSFET はサブスレッショルド領域で動作する。この演算増幅器は非常に大きい時定数を持ち、等価的には大きな RC 時定数を持つ積分回路として動作する。

図2に周波数特性の例を示す。設計には $0.35 \mu\text{m} - 2 \text{ poly} - 4 \text{ metal}$ CMOS パラメータを使用した。図は差動回路のテイル電流を 0.1 nA 、位相補償容量を 10 pF としたときのシミュレーション結果である。 3 dB 遮断周波数は $160 \mu\text{Hz}$ 、ユニティゲイン周波数 24 Hz 、スルーレート $9.8 \mu\text{V}/\mu\text{s}$ であった。

3. ハイパスフィルタ回路の構成

このサブスレッショルド CMOS 演算増幅器を用いてハイパスフィルタの動作を行う回路を構成した。これを図3に示す。回路の入力電圧は V_{in} 、出力電圧は V_{out} である。

この回路では、まずサブスレッショルド CMOS 演算増幅器のボルテージホロワに V_{in} を与えて V_{in2} を得る。その V_{in} と V_{in2} をダイオード接続負荷の差動増幅器の差動入力とする。回路の入力 V_{in} が直流か低周波であれば V_{in2} は V_{in} に追従するので（つまり $V_{in2} = V_{in}$ なので） V_{out} には出力されない。一方、 V_{in} の周波数が高くなると、 V_{in2} は V_{in} に追従できず変化しなくなる。そのため V_{out} には入力の交流分がそのまま出力される。

この回路の周波数特性を計算して図4に示す。低周波側では利得が低下するので、入力信号の低周波成分は抑制される。高周波側では利得が 0 dB の一定なので、高周波成分は通過する。したがってこの回路はハイパスフィルタと等価の動作を示す。直流オフセットの除去や増幅器の多段接続部などに応用することができる。

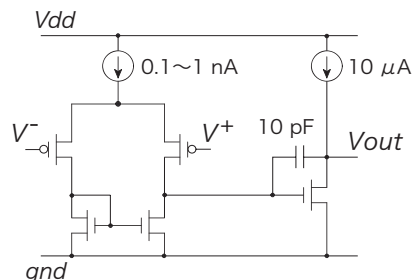


図1：サブスレッショルド CMOS 演算増幅器
(パラメータの数値は一例)

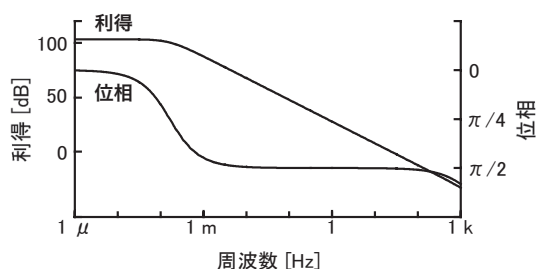


図2：サブスレッショルド CMOS 演算増幅器の周波数特性（シミュレーション）

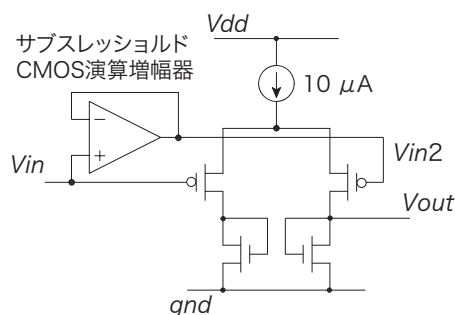


図3：ハイパスフィルタ回路の構成

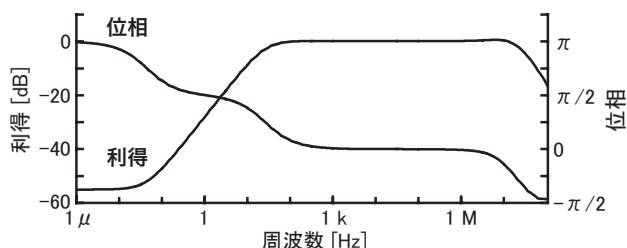


図4：ハイパスフィルタ回路の周波数特性（シミュレーション）