

# CMOS デジタルシステムのための PVT バラツキ補正回路

Process, supply voltage, and temperature compensation circuit for low-voltage CMOS digital circuits

次田 祐輔<sup>1</sup>    上野 憲一<sup>1</sup>    廣瀬 哲也<sup>2</sup>    浅井 哲也<sup>1</sup>    雨宮 好仁<sup>1</sup>  
 Yusuke Tsugita    Ken Ueno    Tetsuya Hirose    Tetsuya Asai    Yoshihito Amemiya

<sup>1</sup>北海道大学 大学院 情報科学研究科  
 Department of Electrical Engineering, Hokkaido University  
<sup>2</sup>神戸大学 大学院 工学研究科  
 Department of Electrical and Electronic Engineering, Kobe University

## 1 まえがき

携帯機器などのポータブルアプリケーションにおいては、限られたエネルギー源において長時間の連続動作が要求される。そのため一般に、高  $V_{th}$  トランジスタの使用や電源電圧の低減により低消費電力化が行われている。しかし、プロセス誤差や温度変動に起因するしきい値電圧バラツキの影響は、第一近似では  $1/(V_{DD} - V_{th})$  に比例してデジタル回路動作に影響を与え、これにより回路特性が劣化してしまう。そこで、これらの影響を補正するアーキテクチャを先に提案した [1]。本稿では、このアーキテクチャを様々なデジタル回路に適用していくための回路構成を提案する。

## 2 プロセス・温度バラツキ補正回路

提案するバラツキ補正回路を図 1 に示す。ダイオード接続のトランジスタ  $M_n$  と  $M_p$  は補正対象のデジタル回路バラツキをモニタするためのもので、NAND や NOR ロジックのオン電流をモニタすることができる。プロセス・温度バラツキに強い参照電流  $I_{ref}$  [2] をこのトランジスタ  $M_n$  に流す。このときのゲート・ソース間電圧  $V_{ref}$  を DC/DC コンバータの参照電圧とし、これと等しい電圧  $V_{DD}$  をデジタル回路の電源に供給する。それによって、デジタル回路の nMOS オン電流を参照電流  $I_{ref}$  にほぼ等しくすることができる。また、演算増幅器を用いて基板電位にフィードバックを加えることにより、デジタル回路の pMOS オン電流も  $I_{ref}$  とほぼ等しく設定できる。以上によって、補正対象デジタル回路のプロセス・温度バラツキを補正することが可能である。

## 3 シミュレーション結果

提案回路の補正効果を SPICE シミュレーションにより解析した。補正対象の回路として 8bit 桁上げ先見型加算器を考え、その入出力遅延時間を評価した。プロセスバラツキとしてトランジスタの相対精度ばらつき (WID:within-die バラツキ) と絶対精度ばらつき (D2D:die-to-die バラツキ) を想定し、モンテカルロシミュレーションにより検証を行った。図 2 に電源電圧  $V_{DD}=1$  V での結果を示す。提案回路により、プロセスバラツキを約 60%改善できることを確認した。供給電圧  $V_{battery}$  と温度のバラツキに関しても検証を行った。図 3 に示されるように提案回路を用いることで動作バラツキを補正できることを確認した。遅延時間バラツキはそれぞれ 0.94 %/V と 0.055 %/°C であった。この提案回路のレイアウトパターンを図 4 に示す。面積は 0.022 mm<sup>2</sup> である。

文献：[1] 次田, 他, IEICE 総合大会, (生田), 2008 年 9 月。  
 [2] K Ueno. *et al.*, Proc. of the 2008 ASSCC.

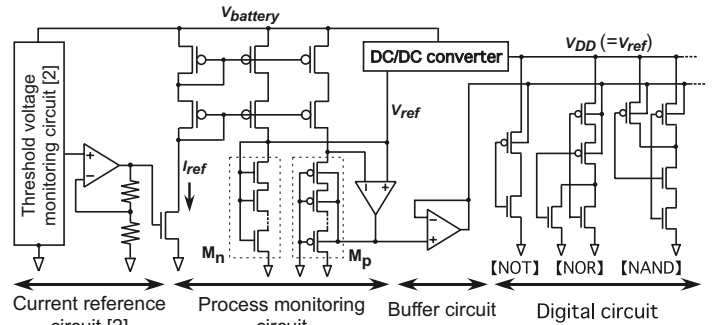


図 1 デジタル回路のバラツキ補正回路。

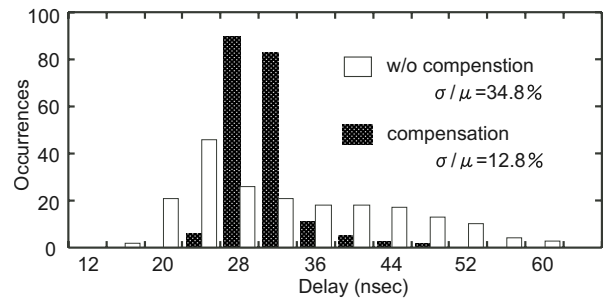


図 2 WID・D2D 両方のバラツキを考慮したモンテカルロシミュレーション (200 回). 電源電圧 1 V での 8bit 桁上げ先見加算器の遅延時間バラツキ。

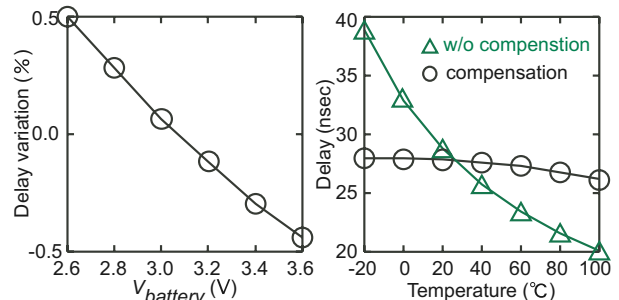


図 3 typical シミュレーション. 8bit 桁上げ先見加算器の遅延時間バラツキの電源  $V_{battery}$  依存性 (左) と温度依存性 (右)。

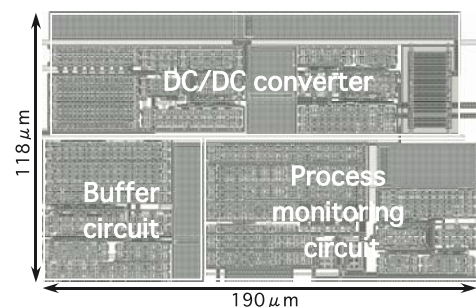


図 4 提案回路のレイアウトパターン。