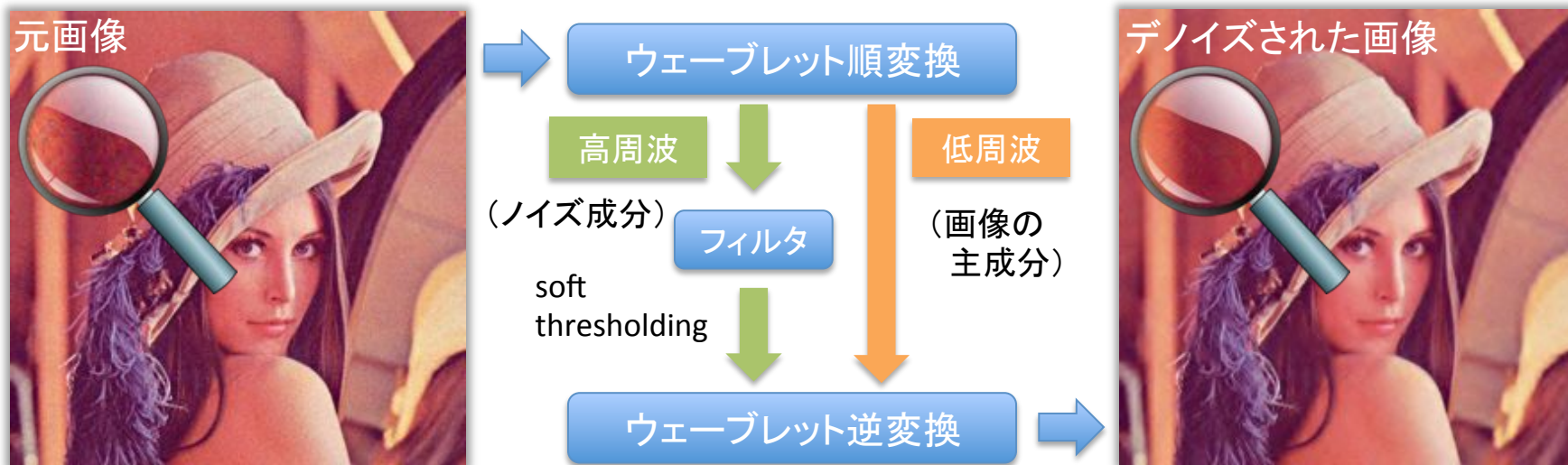


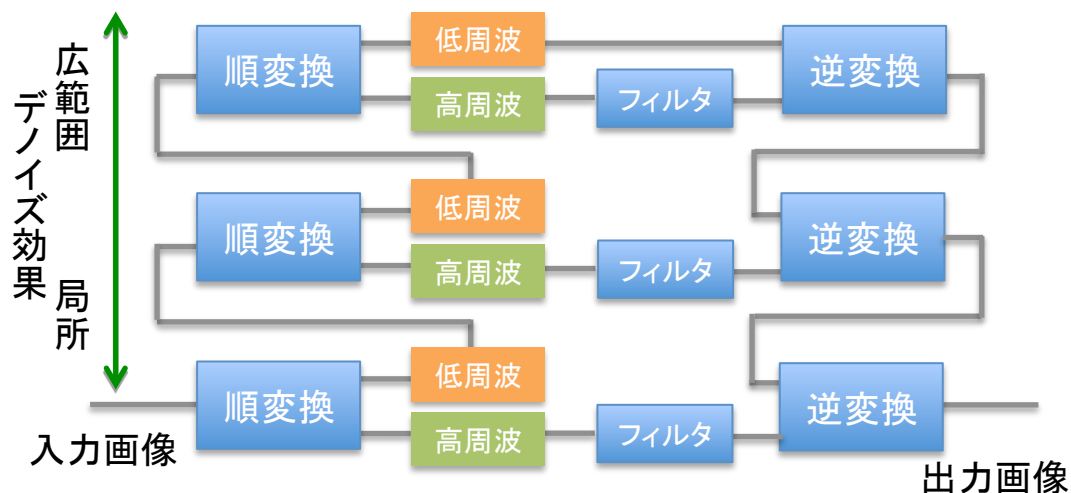
ウェーブレット縮退の多段化に基づくデノイズLSIの省メモリアーキテクチャ

¹真田 祐樹, ¹尹 征一, ¹浅井 哲也, ¹本村 真人, ²竹中 崇

¹北海道大学大学院情報科学研究科 ²日本電気(株)グリーンプラットフォーム研究所



ウェーブレット縮退の多段化LSIアーキテクチャ



演算に必要なバッファ(メモリ)量

・フレームバッファ
~~画像幅×高さ×深度(ビット)~~ **×**

・既提案方式(縦横並列変換)
 → 35 × 画像幅 × 深度(ビット)

↓
 アーキ工夫により
 30%削減

・提案方式: 24.5 × 画像幅 × 深度
 (ビット)

学生部門: 43