

---

# MOSFETの特性バラツキ補正技術に向けた 参照電圧源回路

---

第11回システムLSIワークショップ(北九州) 2007/11/19-21

北海道大学 大学院 情報科学研究科  
Department of Electrical Engineering, Hokkaido University

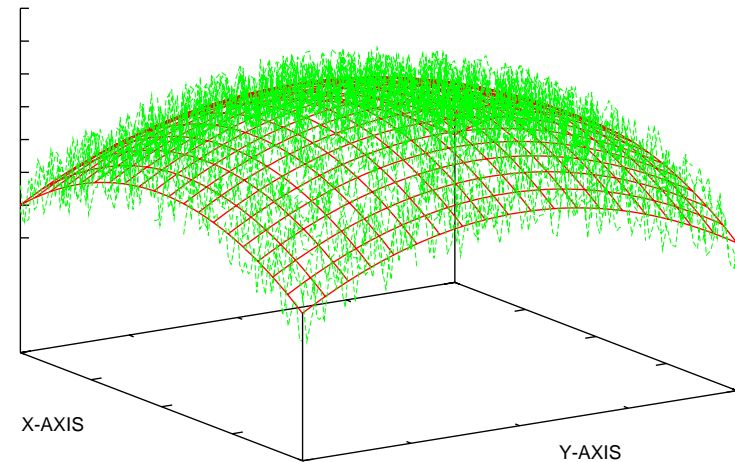
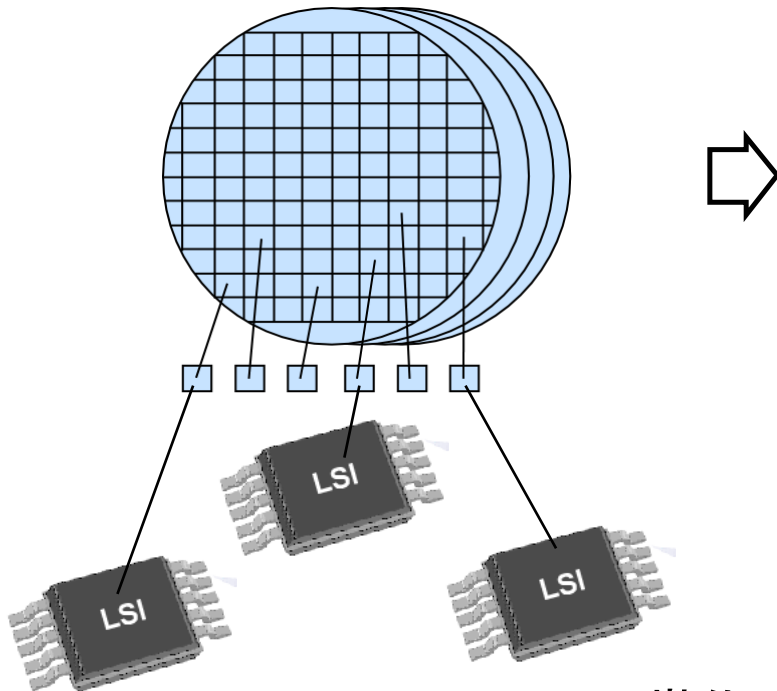
◎上野 憲一, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁

[k\\_ueno@sapiens-ei.eng.hokudai.ac.jp](mailto:k_ueno@sapiens-ei.eng.hokudai.ac.jp)  
<http://sapiens-ei.eng.hokudai.ac.jp/>

# 研究の背景

## 製造プロセスバラツキによるLSIチップの特性バラツキの顕在化

- ・ 歩留まりの低下
- ・ 性能動作マージンの低下
- ・ 回路特性(遅延時間, 動作周波数, 消費電力)への影響

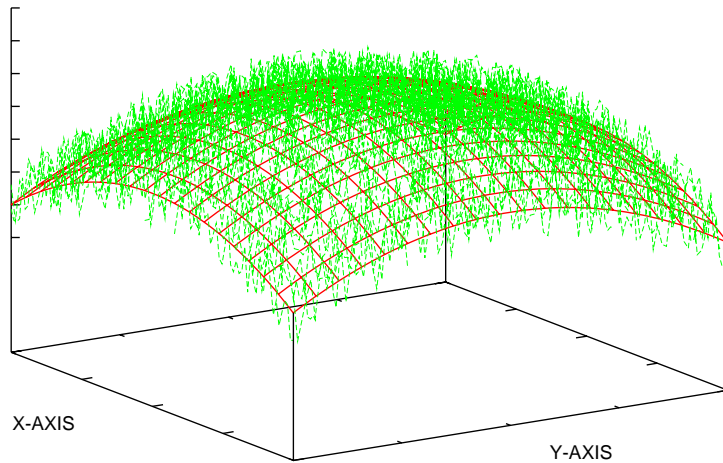


ウェハ上の特性バラツキ模式図

90 nm, 65 nm世代ではバラツキがより顕著に.....

# 特性バラツキの分類

ウェハ上での特性バラツキ



「グローバルなバラツキ」

チップ間, ロット間, ウェハ間

「ランダムなバラツキ」

チップ内のランダムバラツキ

マトリクスアレイによるデバイスモデリングは活発

LSIへの応用・適用は限定されているのが現状

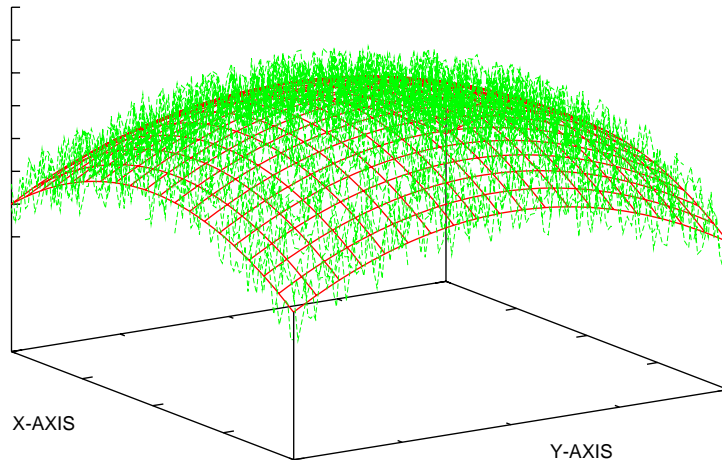


**LSI上でプロセス状態をモニタする集積回路技術が必要**

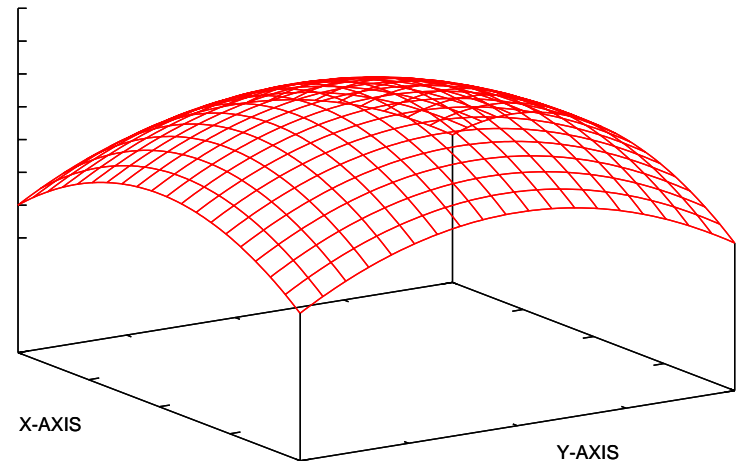
# アナログ回路における特性バラツキ

アナログ回路の特性バラツキはグローバルなバラツキが支配的

「ウェハ上でのバラツキ」



「グローバルなバラツキ」



アナログ回路では最小トランジスタサイズは使用しない

→ ランダムなバラツキの影響が小さい

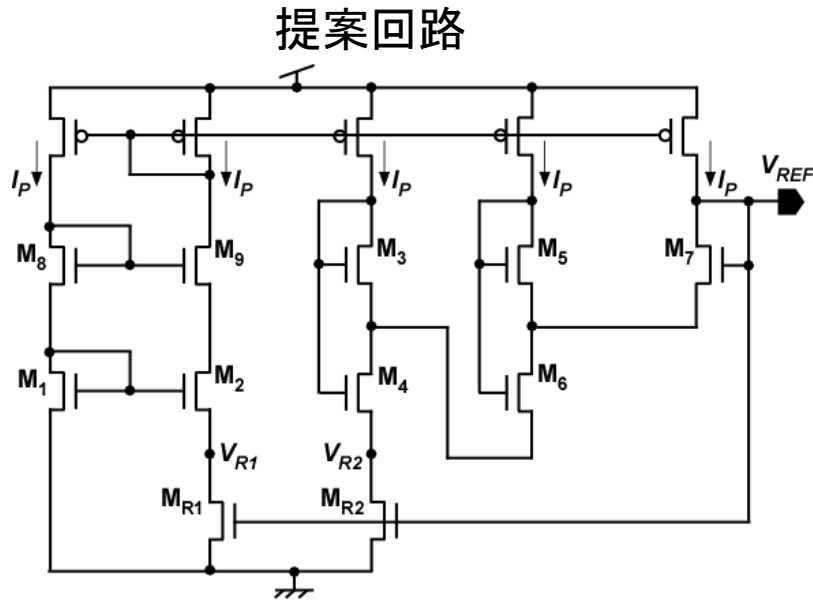


グローバルなバラツキが問題となるアナログ回路の特性バラツキ補正

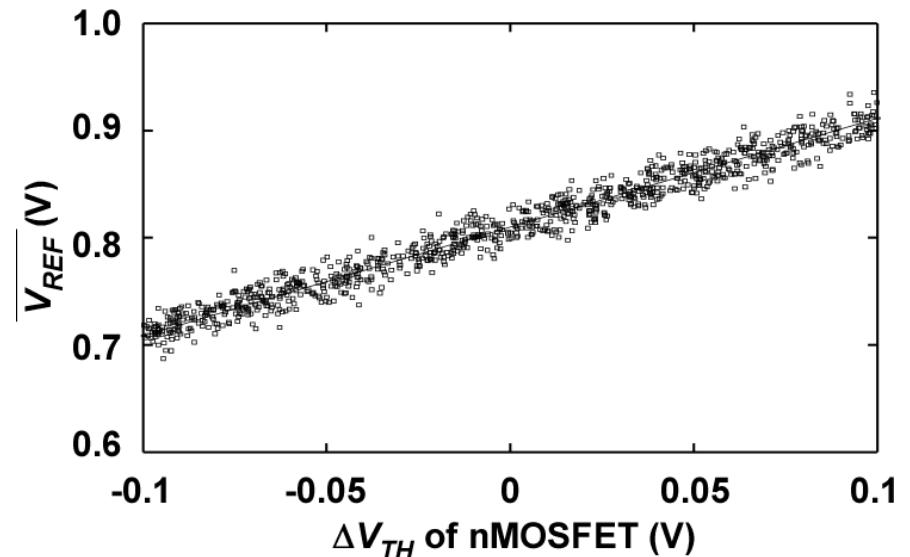
# 特性バラツキのモニタリング回路

\* LSI上の特性バラツキをモニタ・検出する参照電圧源回路

MOSTランジスタの絶対零度におけるしきい値電圧 $V_{TH0}$ を出力



統計的回路シミュレーション結果



MOSTランジスタのグローバルなしきい値電圧バラツキを出力

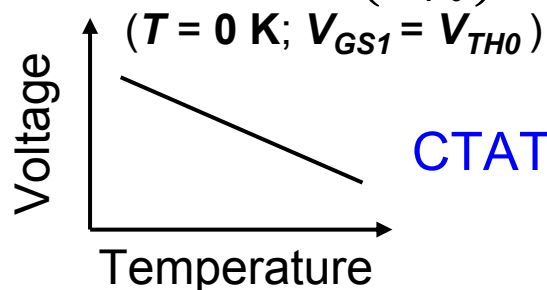
以下のスライドで詳細な動作原理を説明する ⇨

\* Ueno K., et, al, "CMOS voltage reference based on the threshold voltage of a MOSFET,"  
Proceedings of the 2007 International Conference on Solid State Devices and Materials, pp. 486-487.

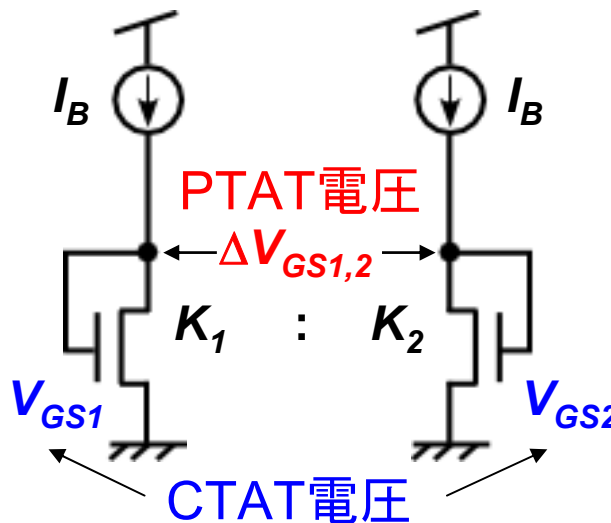
# $V_{TH0}$ (絶対零度のしきい値電圧)生成アーキテクチャ

## ゲート・ソース間電圧

$$V_{GS1} = V_{TH} + \eta V_T \ln \left( \frac{I_B}{K_1 I_0} \right)$$

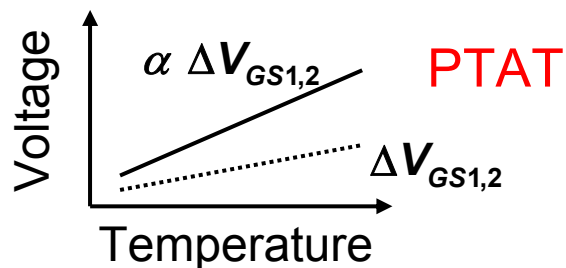


MOSFETのサブスレッショルド領域動作を利用



## 電圧差分

$$\Delta V_{GS1,2} = \eta V_T \ln \left( \frac{K_2}{K_1} \right)$$

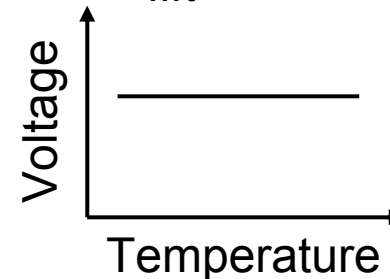


$\Sigma$

## 一定電圧

$$V_{REF} = V_{GS1} + \alpha \Delta V_{GS1,2}$$

$$= V_{TH0}$$



# 動作原理①

$\beta$  乗算型セルフバイアス回路を用いた電流源サブサーキット

サブスレッショルド領域動作



抵抗に代えて強反転線形MOS抵抗を使用

強反転線形領域 $M_{R1}$ の電流特性:

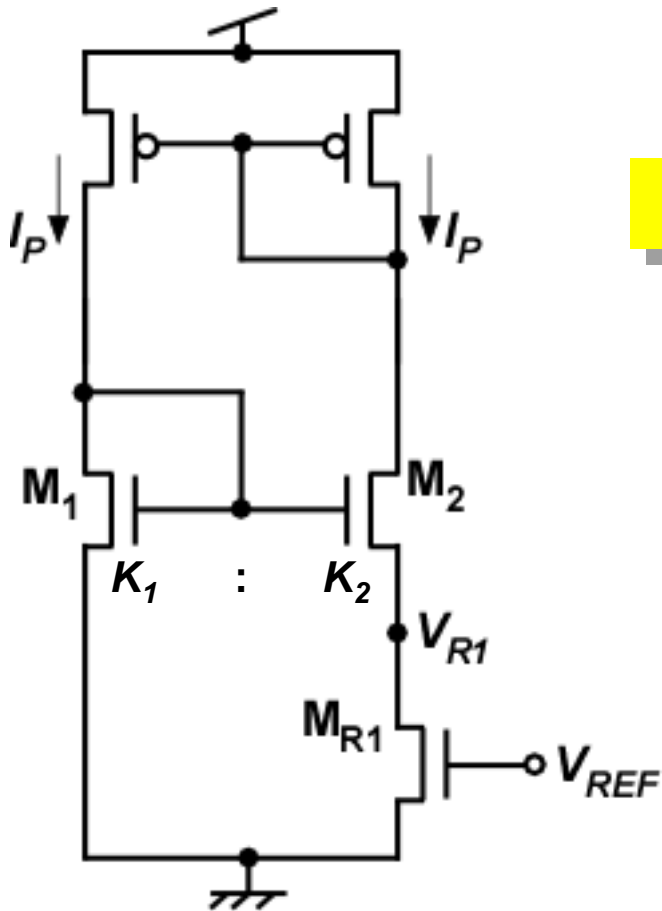
$$I_P = \beta (V_{REF} - V_{TH}) V_{R1}$$

$M_{R1}$ のドレイン・ソース間電圧 $V_{R1}$ :

$$V_{R1} = V_{GS1} - V_{GS2} = \eta V_T \ln \left( \frac{K_2}{K_1} \right)$$

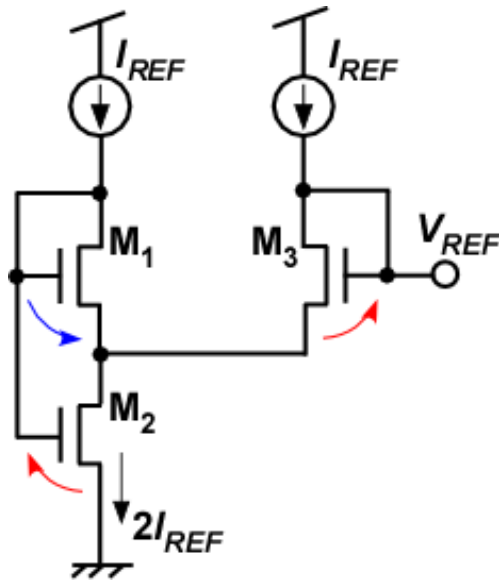
参照電流値:

$$I_P = \beta (V_{REF} - V_{TH}) \eta V_T \ln \left( \frac{K_2}{K_1} \right)$$



# 動作原理②

## 電圧源サブサーキット

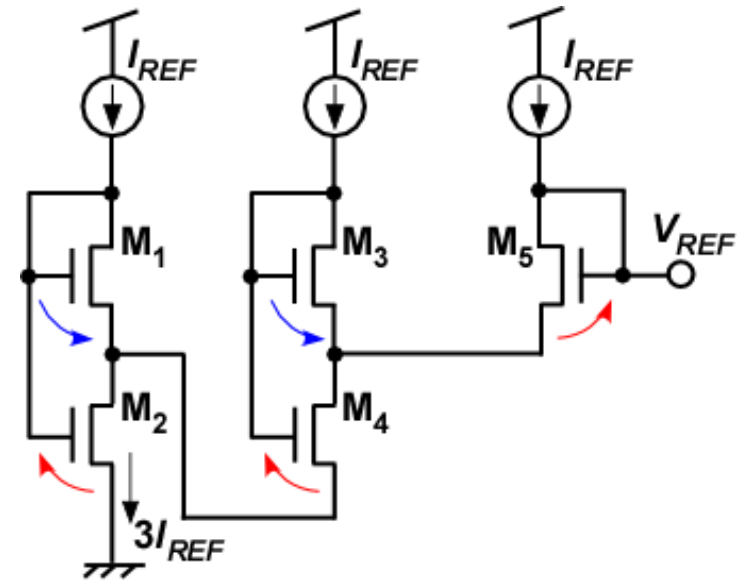
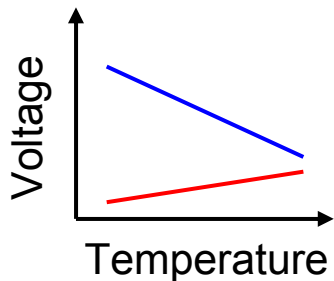


一定電圧の生成

$$V_{REF} = V_{GS2} + V_{GS3} - V_{GS1}$$

$$= V_{GS2} + \Delta V_{GS3,1}$$

$$= V_{GS2} + \eta V_T \ln\left(\frac{K_1}{K_3}\right)$$

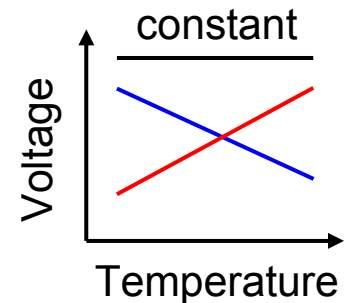


一定電圧の生成(+PTAT電圧)

$$V_{REF} = V_{GS2} - V_{GS1} + V_{GS4} - V_{GS3} + V_{GS5}$$

$$= V_{GS2} + \Delta V_{GS4,1} + \Delta V_{GS5,3}$$

$$= V_{GS2} + \eta V_T \ln\left(\frac{2K_1K_3}{K_4K_5}\right)$$



正温度係数はトランジスタサイズで調節



# 動作原理③

電圧源サブサーキット

出力電圧  $V_{REF}$

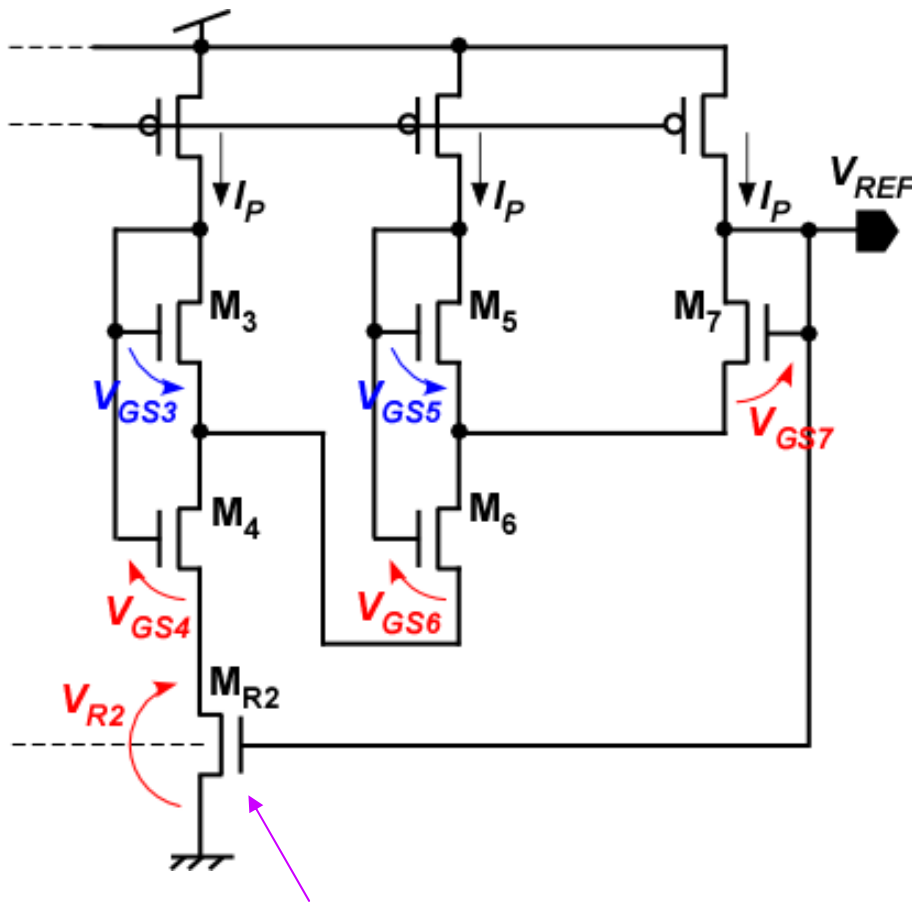
$$\begin{aligned} V_{REF} &= V_{R2} + V_{GS4} - V_{GS3} + V_{GS6} - V_{GS5} + V_{GS7} \\ &= V_{GS4} + V_R + \eta V_T \ln\left(\frac{2K_3K_5}{K_6K_7}\right) \end{aligned}$$

回路を流れる電流  $I_P$

$$I_P = \beta (V_{REF} - V_{TH}) \eta V_T \ln\left(\frac{K_2}{K_1}\right)$$

線形MOS抵抗のドレイン電圧  $V_R$

$$\begin{aligned} V_R &= \frac{3I_P}{\beta (V_{REF} - V_{TH})} \\ &= \frac{3\beta (V_{REF} - V_{TH}) \eta V_T \ln(K_2 / K_1)}{\beta (V_{REF} - V_{TH})} \\ &= \eta V_T \ln\left(\frac{K_2^3}{K_1^3}\right) \end{aligned}$$



強反転線形MOS抵抗

# 動作原理④

出力電圧  $V_{REF}$

$$V_{REF} = V_{GS4} + \eta V_T \ln \left( \frac{2K_2^3 K_3 K_5}{K_1^3 K_6 K_7} \right)$$

マイナス温度係数      プラス温度係数

しきい値電圧

$$V_{TH} = V_{TH0} - \kappa T$$

近似条件

$$V_{REF} - V_{TH0} \ll \kappa T$$

出力電圧  $V_{REF}$  の温度係数

$$\frac{dV_{REF}}{dT} = -\kappa + \frac{\eta k_B}{q} \ln \left\{ \frac{6q\eta\kappa}{k_B(\eta-1)} \frac{K_\beta K_2^3 K_3 K_5}{K_1^3 K_4 K_6 K_7} \ln \left( \frac{K_2}{K_1} \right) \right\}$$

マイナス温度係数      プラス温度係数

$dV_{REF} / dT = 0$  となるように回路設計すれば

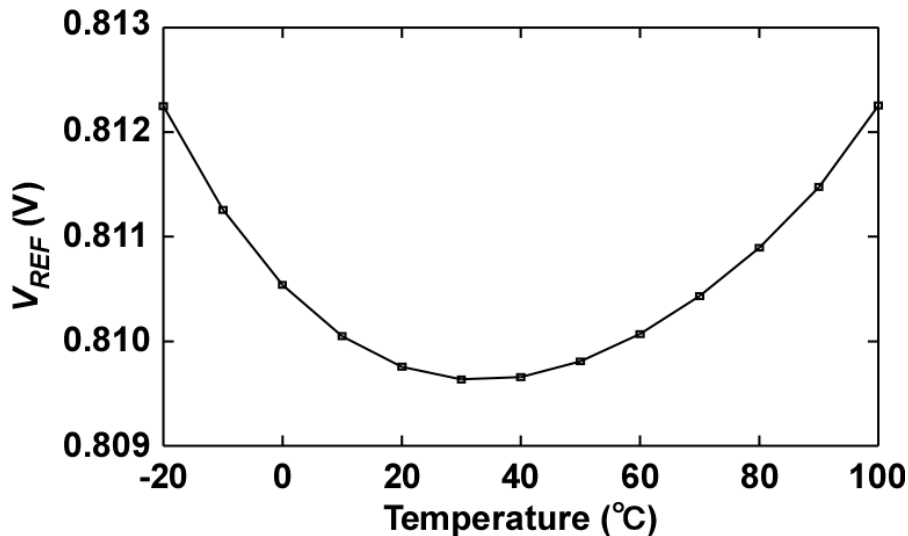
$$V_{REF} = V_{TH0} + \eta V_T \ln \left( 1 + \frac{V_{REF} - V_{TH0}}{\kappa T} \right) = V_{TH0}$$

絶対零度におけるしきい値電圧

# シミュレーション結果①

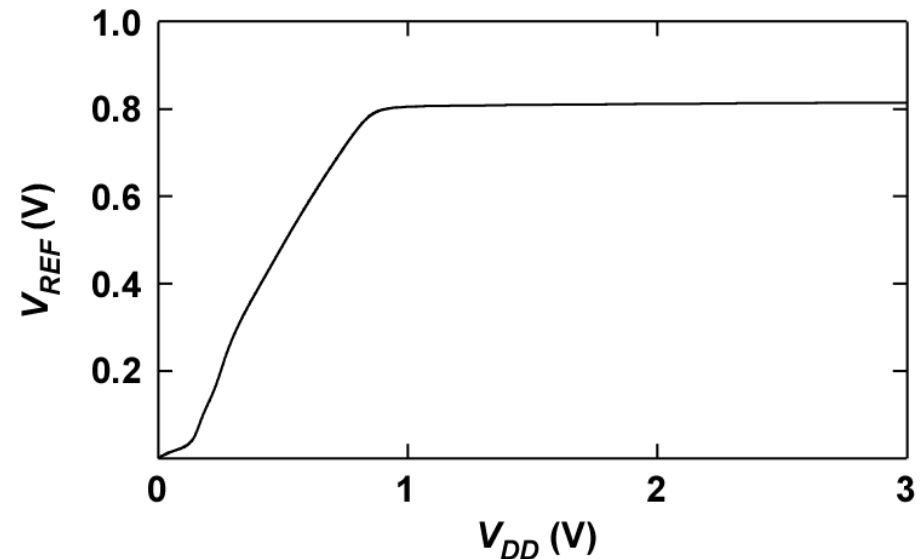
(0.35  $\mu\text{m}$  CMOS, Typical パラメータを使用)

温度変動に対する出力電圧特性



$$\Delta V_{REF}/V_{REF} = \pm 0.16 \%$$

電源電圧変動に対する出力電圧特性



$$\Delta V_{REF}/V_{REF} = \pm 0.5 \%$$

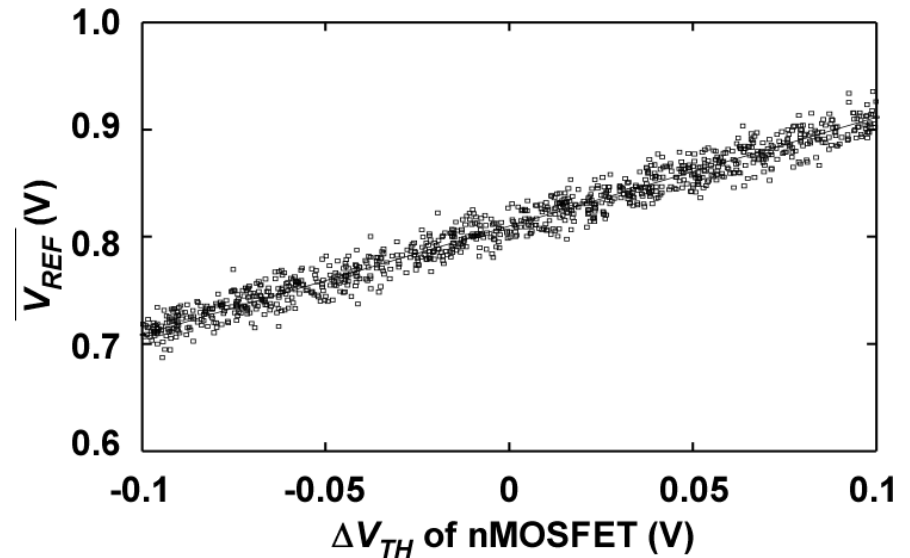
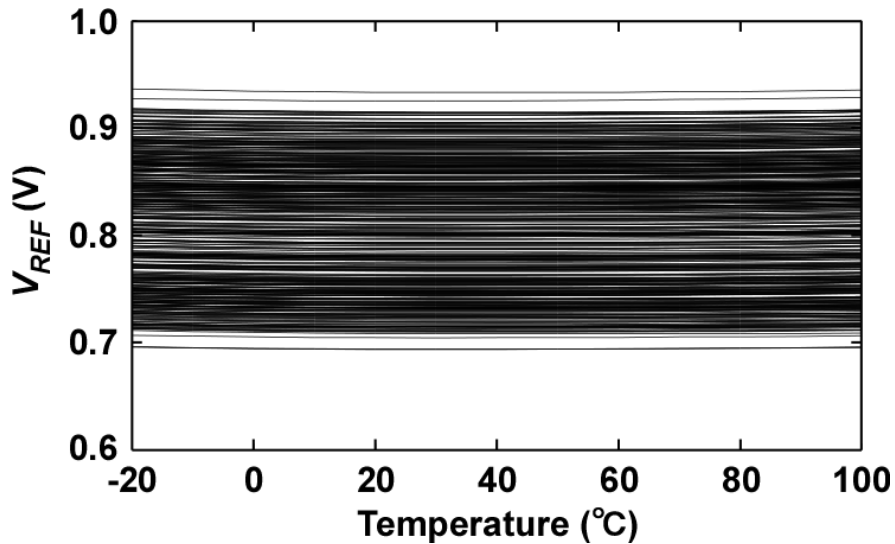
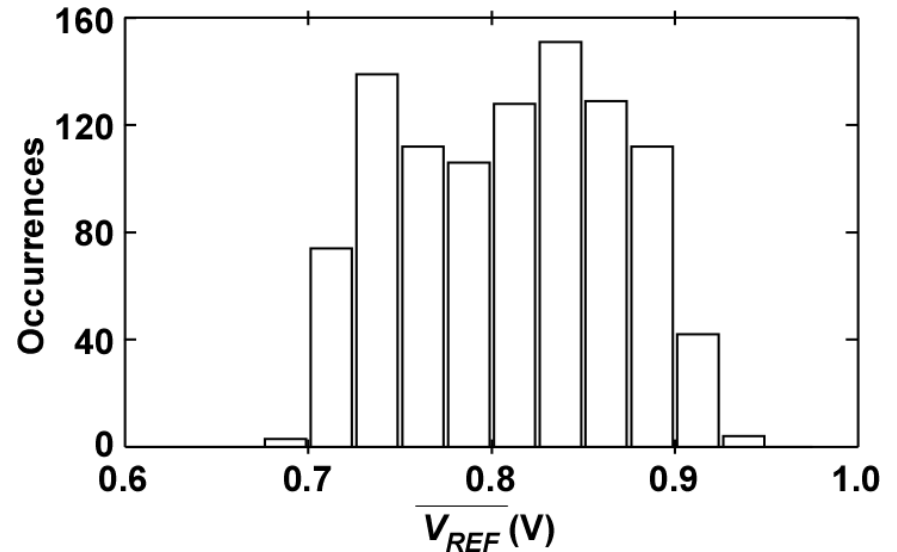
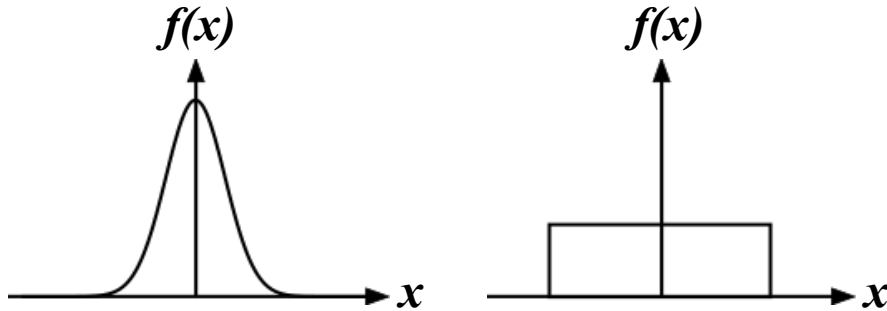
温度変化・電源電圧変動に対して良好な特性を実現

# シミュレーション結果②

モンテカルロシミュレーション (1000 runs)

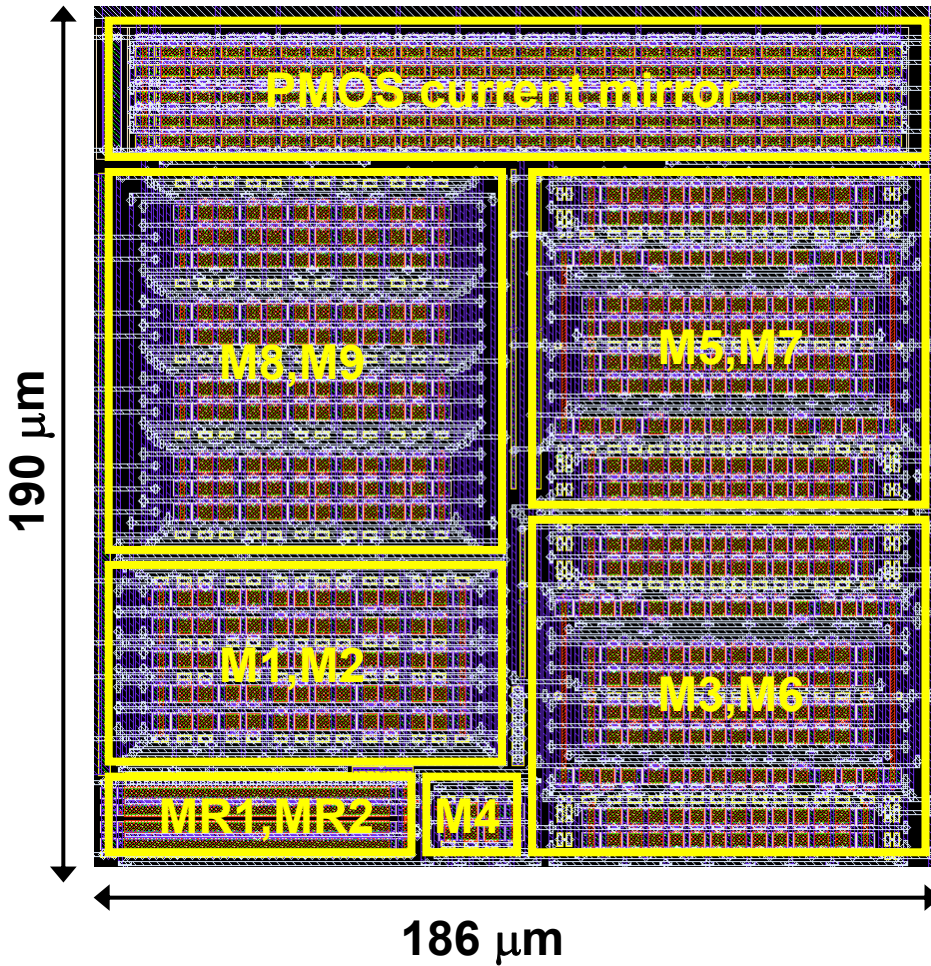
トランジスタ・ミスマッチ

プロセス変動



プロセス(しきい値電圧)変動にともない出力電圧も変化する

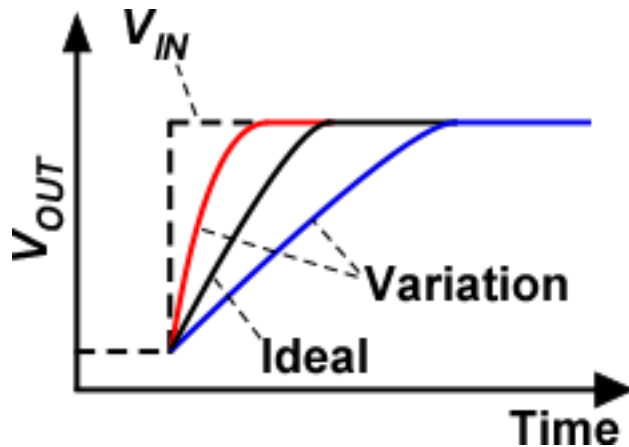
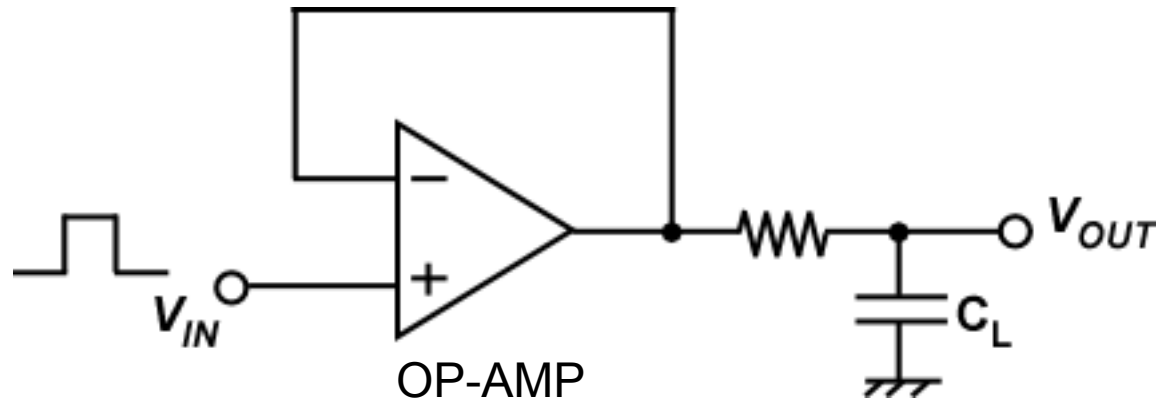
# レイアウト・性能諸元



Technology	0.35 μm 2P4M CMOS
Temp. range	- 20 °C - 100 °C
$V_{DD}$	1.5 V
$V_{REF}$	0.81 V (TYP.)
Power	0.53 μW
$\Delta V_{REF}/V_{REF}$	± 0.3 % ( $T = - 20-100^{\circ}\text{C}$ ) ± 0.5 % ( $V_{DD} = 1 - 3 \text{ V}$ )
PSRR	- 45 dB ( $f = 100 \text{ Hz}$ )
Layout area	0.035 mm <sup>2</sup>

# アナログ回路の特性バラツキ補正

FPD(液晶テレビ, ディスプレイ等)で使われるライン駆動用バッファ回路



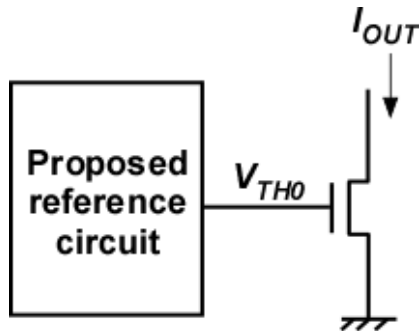
OP-AMPのテイル電流源のバラツキ



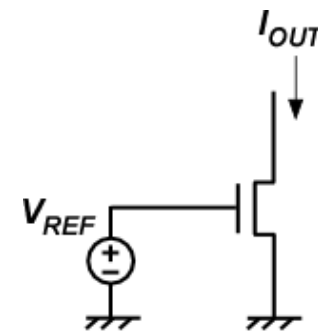
Slew-Rateのバラツキ

# OP-AMPのテイル電流源のバイアス方法による比較

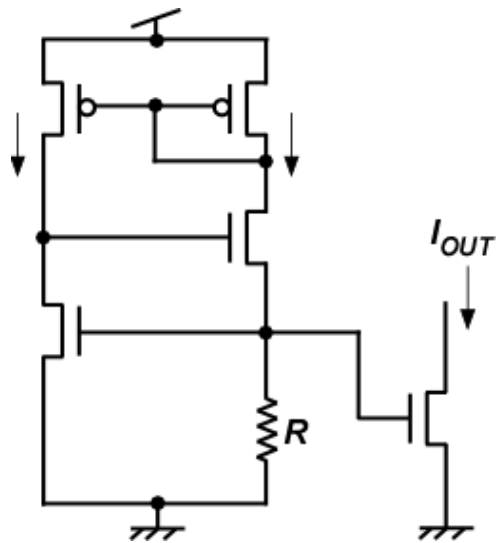
4通りのバイアス方法で特性バラツキを比較



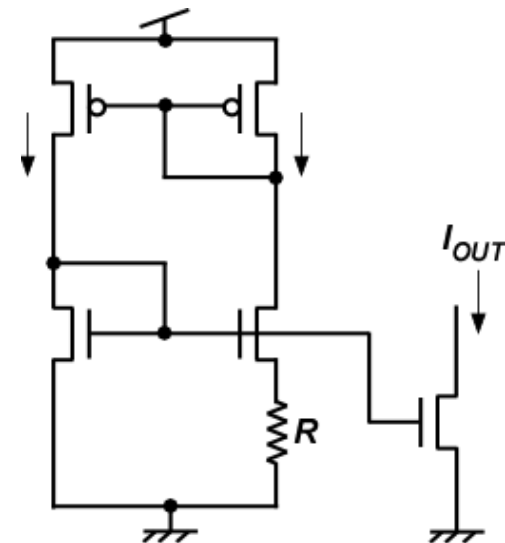
(A). 提案回路によるバイアス方法



(B). 定電圧バイアス方法



(C). しきい値電圧参照型回路を用いたバイアス方法

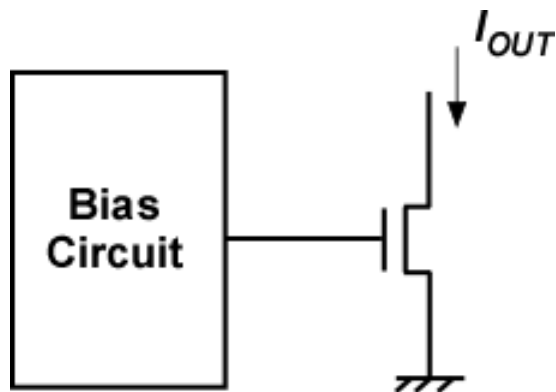


(D). Beta乗算型自己バイアス回路を用いたバイアス方法

# シミュレーション結果 (電流バラツキ補正)

モンテ・カルロシミュレーション (500 runs)

テイル電流源の電流量の変動をモニタ

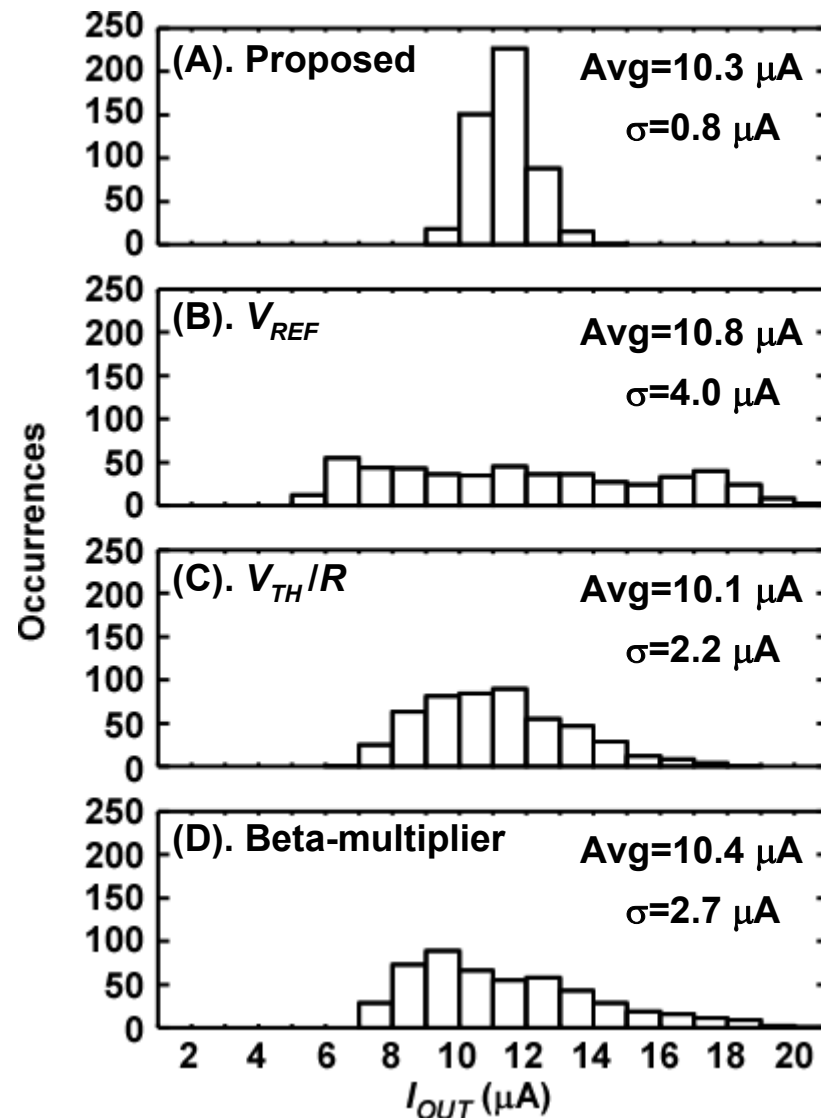


4通りのバイアス方法で電流バラツキを比較

提案回路(A)によるバイアス方法



電流バラツキを最大80%抑制

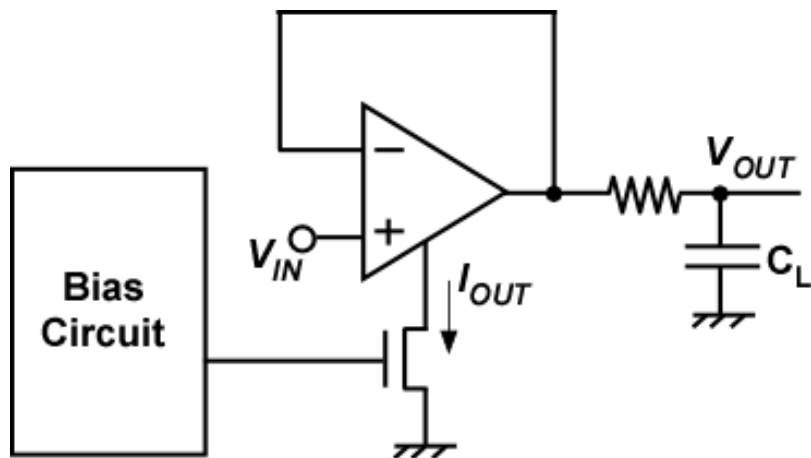




# シミュレーション結果 (Slew-Rateバラツキ補正)

モンテ・カルロシミュレーション (500 runs)

バッファ回路のSlew Rateの変動をモニタ

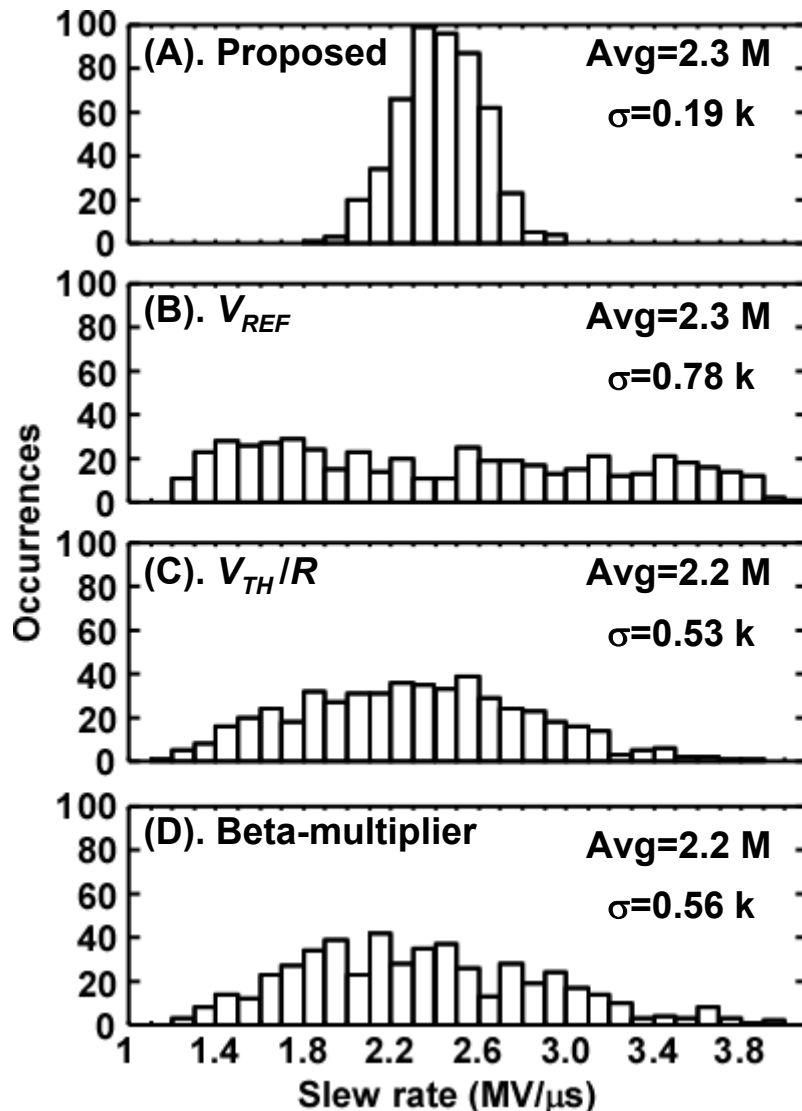


OP-AMPのテイル電流源を4通りのバイアス方法によってSRバラツキを比較

提案回路(A)によるバイアス方法



Slew-Rateバラツキを最大76%抑制



# まとめ

- LSI上のプロセスバラツキを補正する回路技術を提案 -

## プロセス状態をモニタ・検出する参照電圧源回路

- ・ MOSFETの絶対零度におけるしきい値電圧 $V_{TH0}$ を参照
- ・ LSI上のグローバルなしきい値電圧バラツキをモニタ・検出

## アナログ回路の特性バラツキ補正

- ・ 電流生成バイアスによる電流バラツキを最大 80 %抑制
- ・ バッファ回路のSlew-Rateバラツキを最大 76 %抑制



様々なアナログ回路の特性バラツキ補正に応用可能