

# 雑音を利用したオンチップ マルチクロック源の位相同期手法

宇田川 玲†、浅井 哲也、廣瀬 哲也、雨宮 好仁

北海道大学大学院 情報科学研究科

060-0814 札幌市北区北 14 条西 9 丁目

†: utagawa@sapiens-ei.eng.hokudai.ac.jp

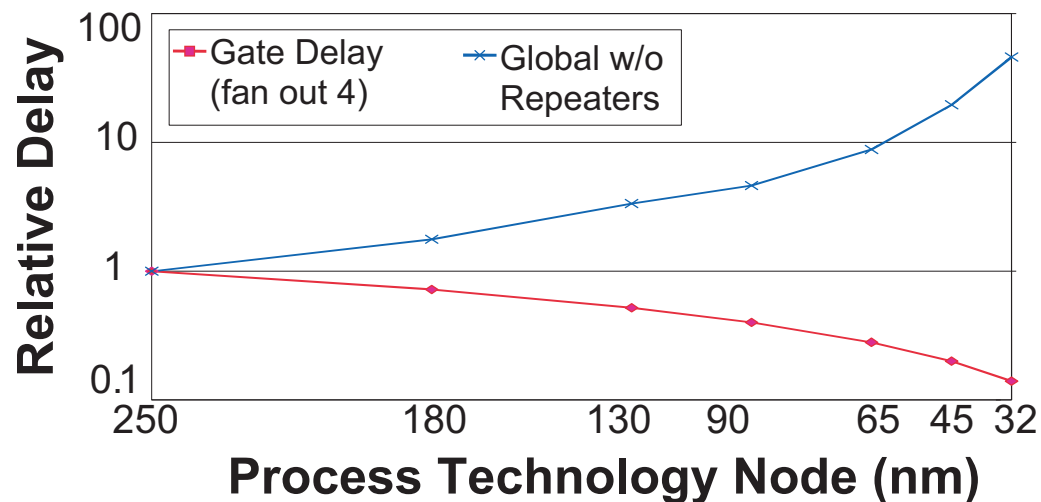
# 背景

## デジタル LSI での 配線遅延の問題

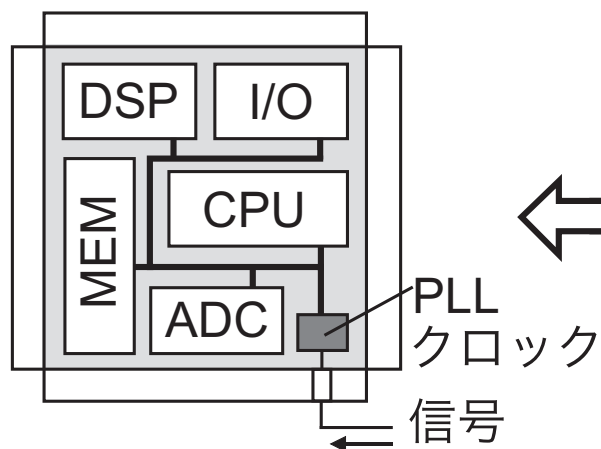
LSI の微細化

ゲート遅延 減少

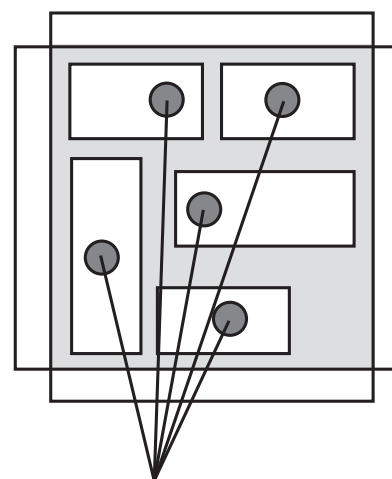
配線遅延 増大



Ref: Fig. 27 in ITRS, 1999, 2000 update.

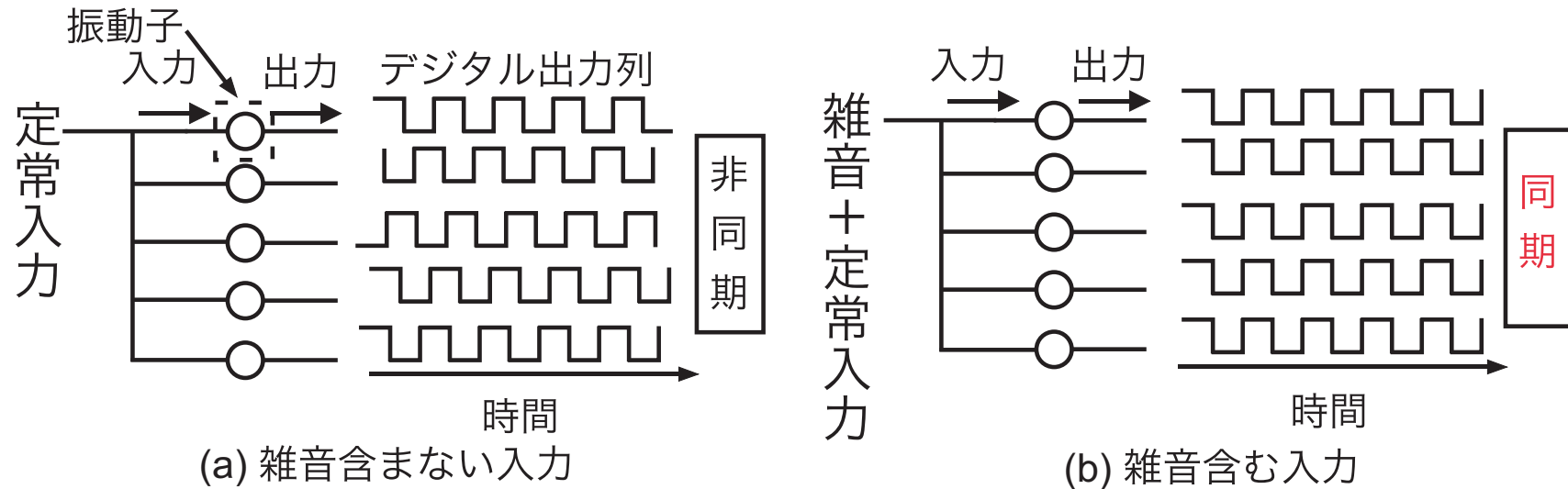


単一のクロック源  
(a) 通常のクロック配分



複数のクロック源  
(b) 我々の方法

# 目的



## 雑音による振動子の位相同期現象<sup>1</sup>

- ▶ 雑音を与える事でクロック源の位相が同期



配線遅延の無いクロック配分の実現

<sup>1</sup>H. Nakao, K. Arai, and K. Nagai, *Phys. Rev. E* vol. 72, 026220, 2005.

# Wilson-Cowan 振動子モデル

$$\tau_1 \frac{du_i}{dt} = -g_1 u_i + f_\beta(u_i - v_i),$$
$$\tau_2 \frac{dv_i}{dt} = -g_2 v_i + f_\beta(u_i - \theta) + I(t).$$

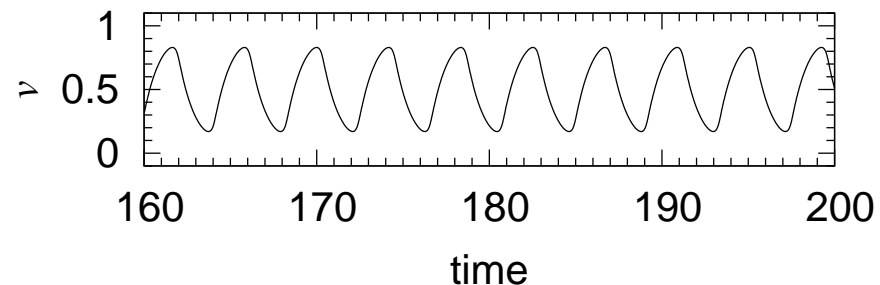
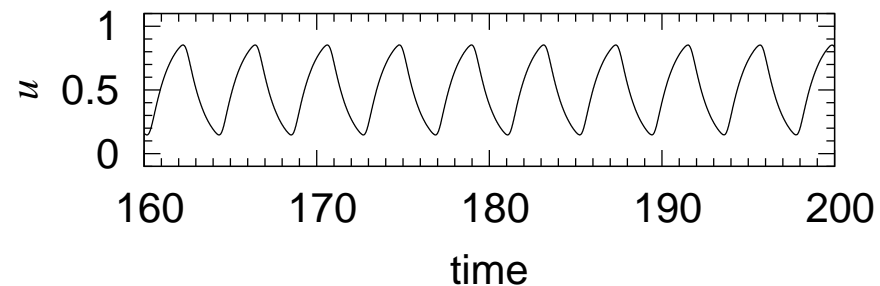
$$f_\beta(x) = (1 + \tanh(\beta x)) / 2$$

$$\tau_1 = \tau_2 = g_1 = g_2 = 1$$

$\theta$ : しきい値

$I(t)$ : インパルス雑音

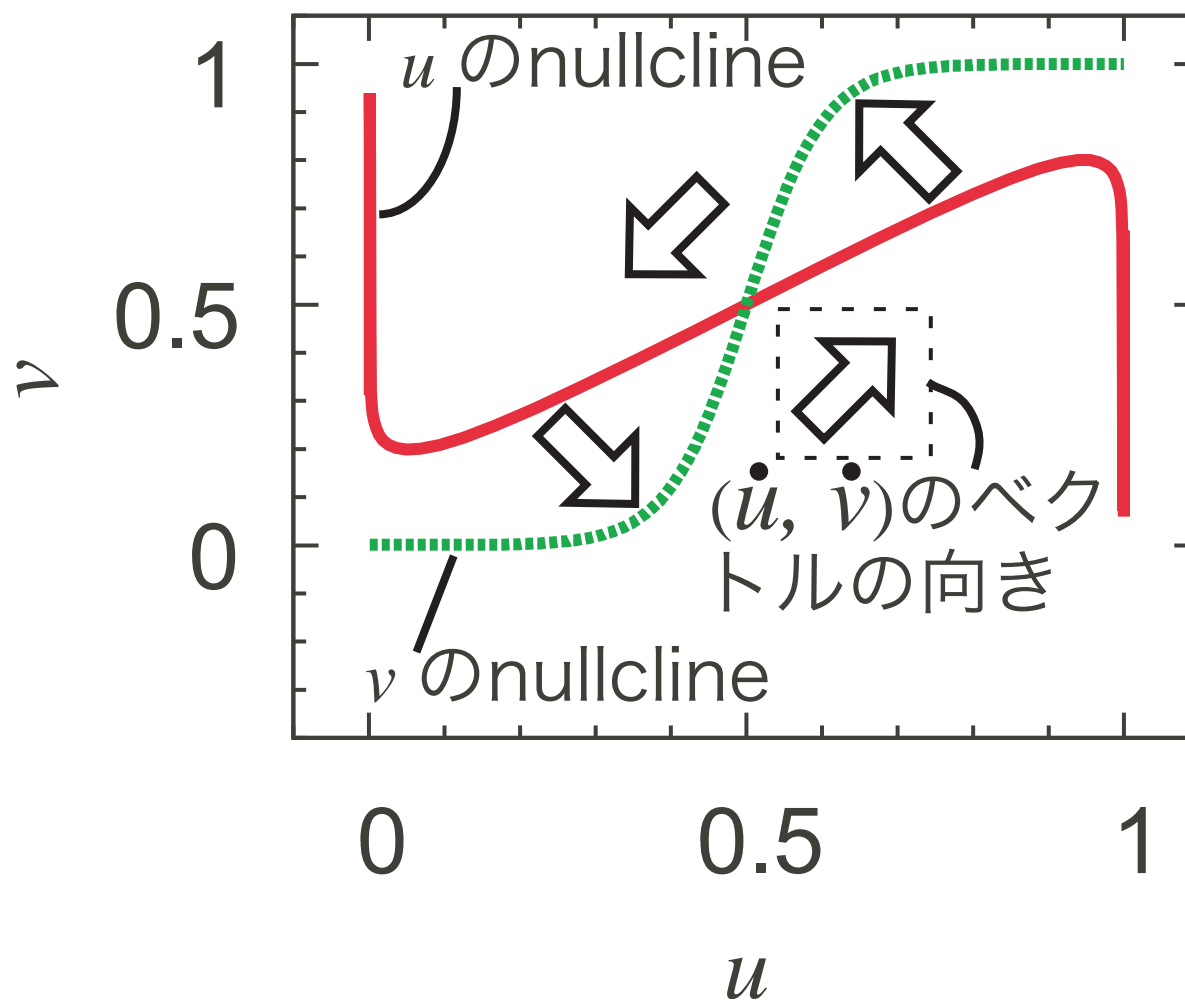
$$\theta = 0.5, \beta = 10.$$



$u, v$  の時間変化

# 振動子モデルの nullcline

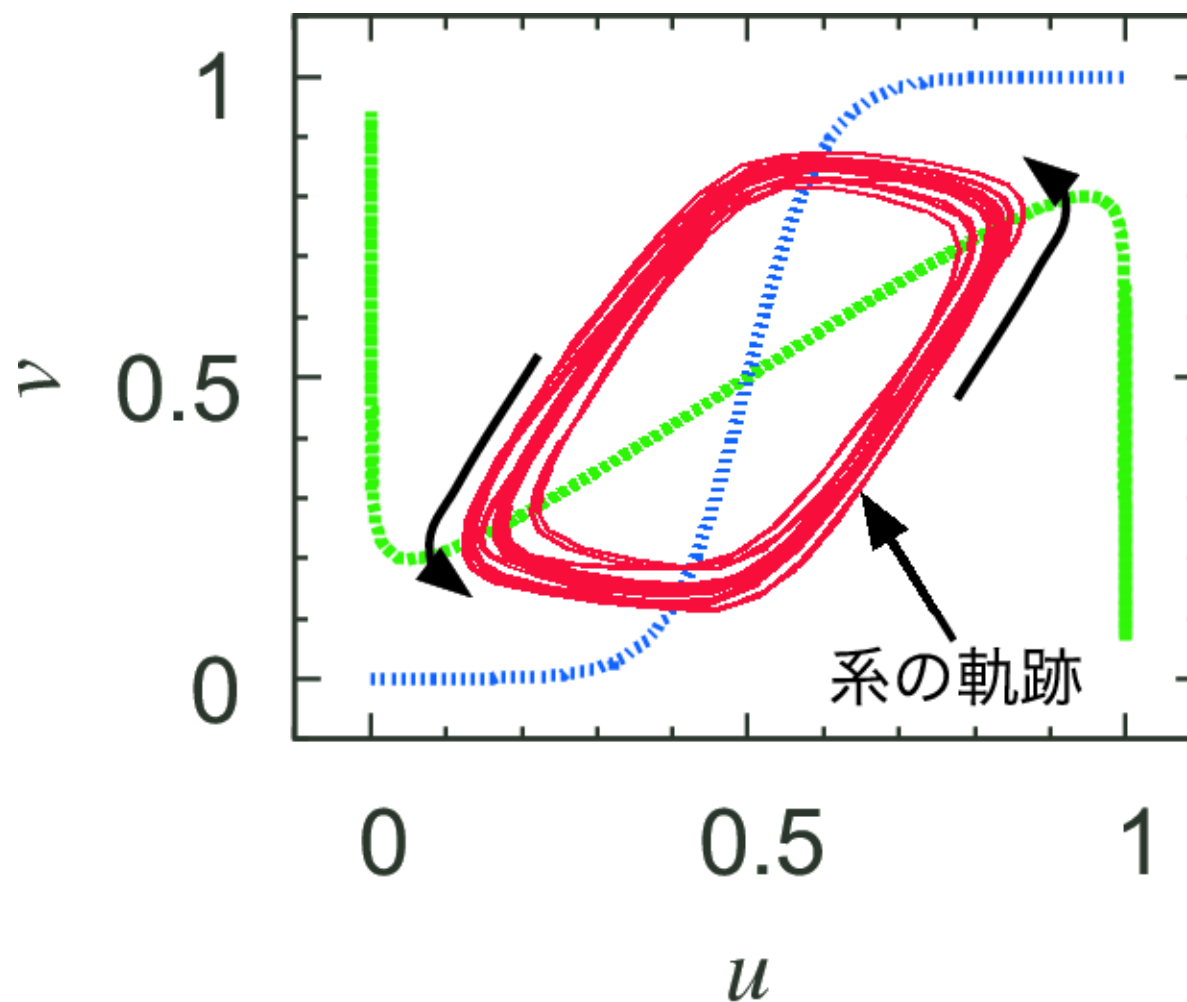
nullcline 変数の時間微分が0になる点の集合



# 振動子モデルの軌跡

軌跡  $u$  と  $v$  の組を  $u-v$  平面上にプロット

振動子：周期的な値の変化 → 軌跡は円や楕円



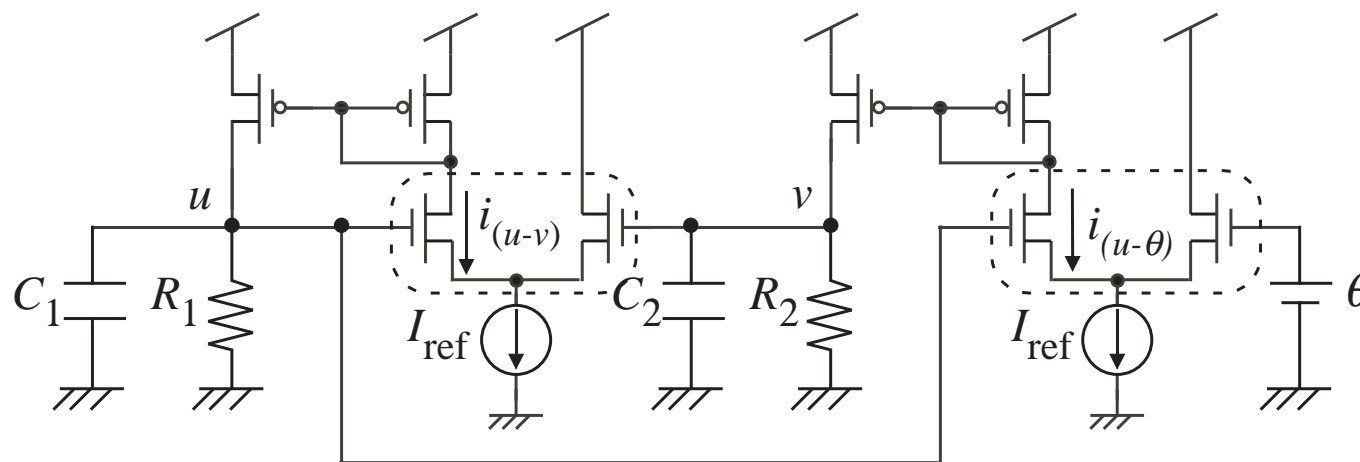
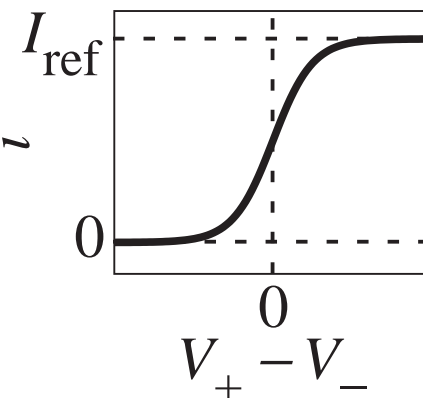
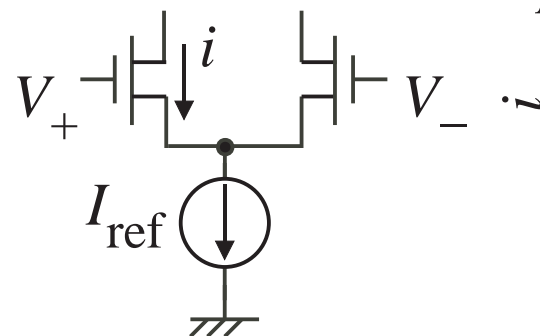
# ニューロンベースのクロック源回路の設計

$f_\beta$ : 差動対で模擬可能

$$C_1 \dot{u}_i = -u_i/R_1 + i(u_i - v_i),$$

$$C_2 \dot{v}_i = -v_i/R_2 + i(u_i - \theta).$$

差動対



上式から構成したアナログ回路

$C_1, C_2$  は除去&トランジスタの寄生容量で模擬 ( $C'_1, C'_2$ )

# クロック源回路の高速化-1

$$C_1' \dot{u}_i = -u_i/R_1 + i_{(u_i-v_i)}$$

面積縮小のため抵抗消去

$$C_1' \dot{u}_i = i_{(u_i-v_i)}$$

$u_i - v_i > 0$ :  $u_i \rightarrow V_{dd}$

$u_i - v_i < 0$ :  $u_i \rightarrow$  変化せず  
動作しない

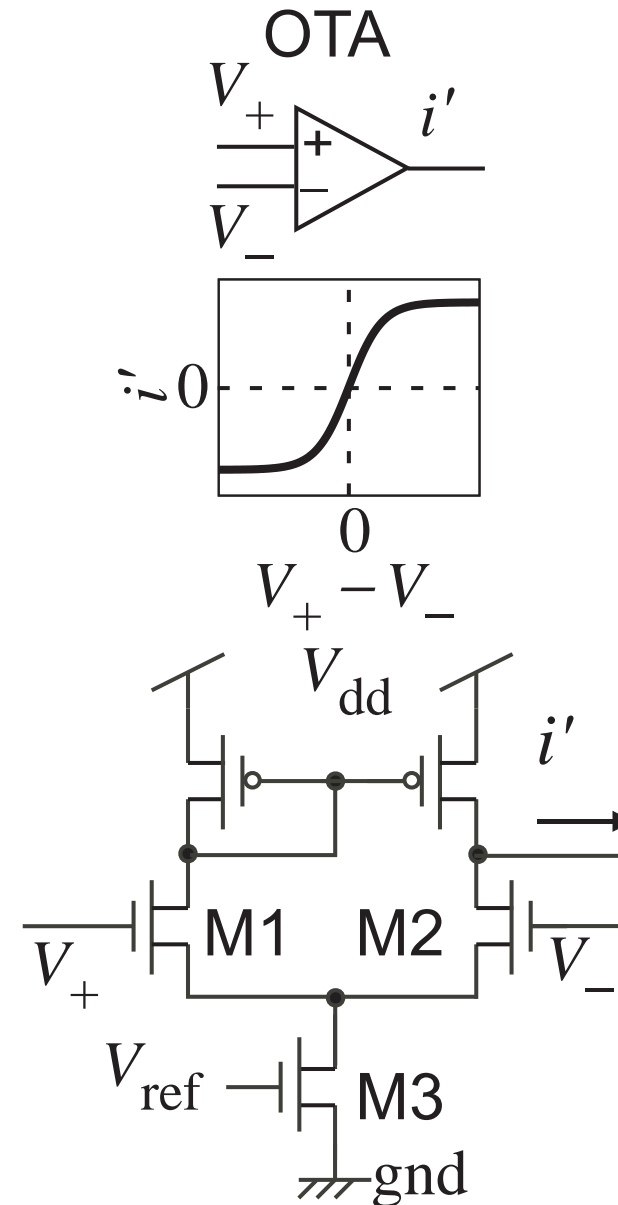
差動対から OTA に変更

$$C_1' \dot{u}_i = i'_{(u_i-v_i)}$$

$u_i - v_i > 0$ :  $u_i \rightarrow V_{dd}$

$u_i - v_i < 0$ :  $u_i \rightarrow \text{gnd}$

周期的に振動する





# クロック源回路の高速化-2

$$C_2' \dot{v}_i = -v_i/R_2 + i_{(u_i-\theta)}$$



抵抗消去

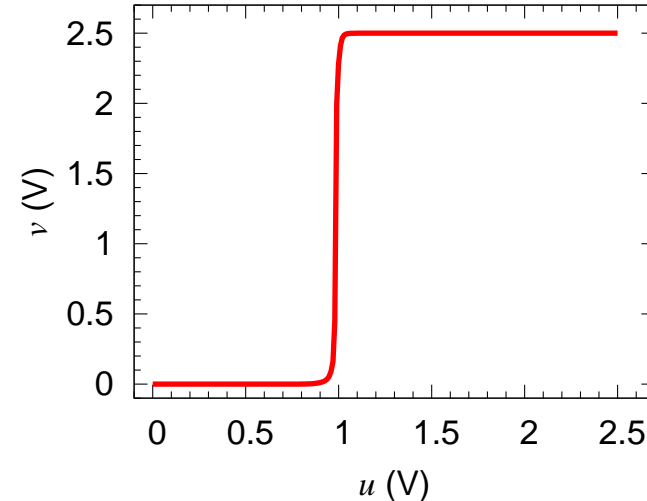
&

差動対のかわりにバッファ回路

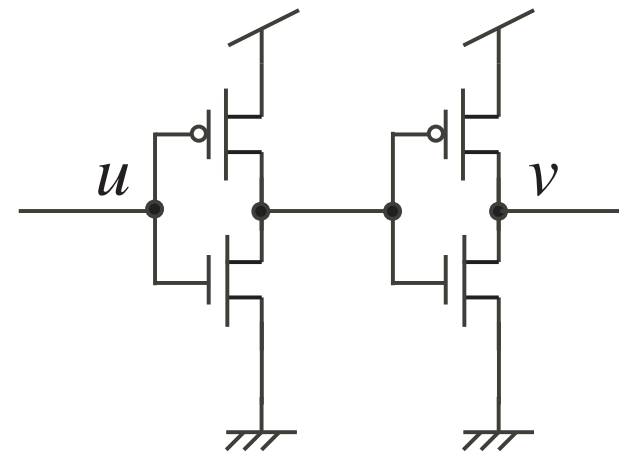
$\theta'$ : インバータの反転しきい値

$u_i > \theta'$ :  $v_i \rightarrow V_{dd}$

$u_i < \theta'$ :  $v_i \rightarrow 0$

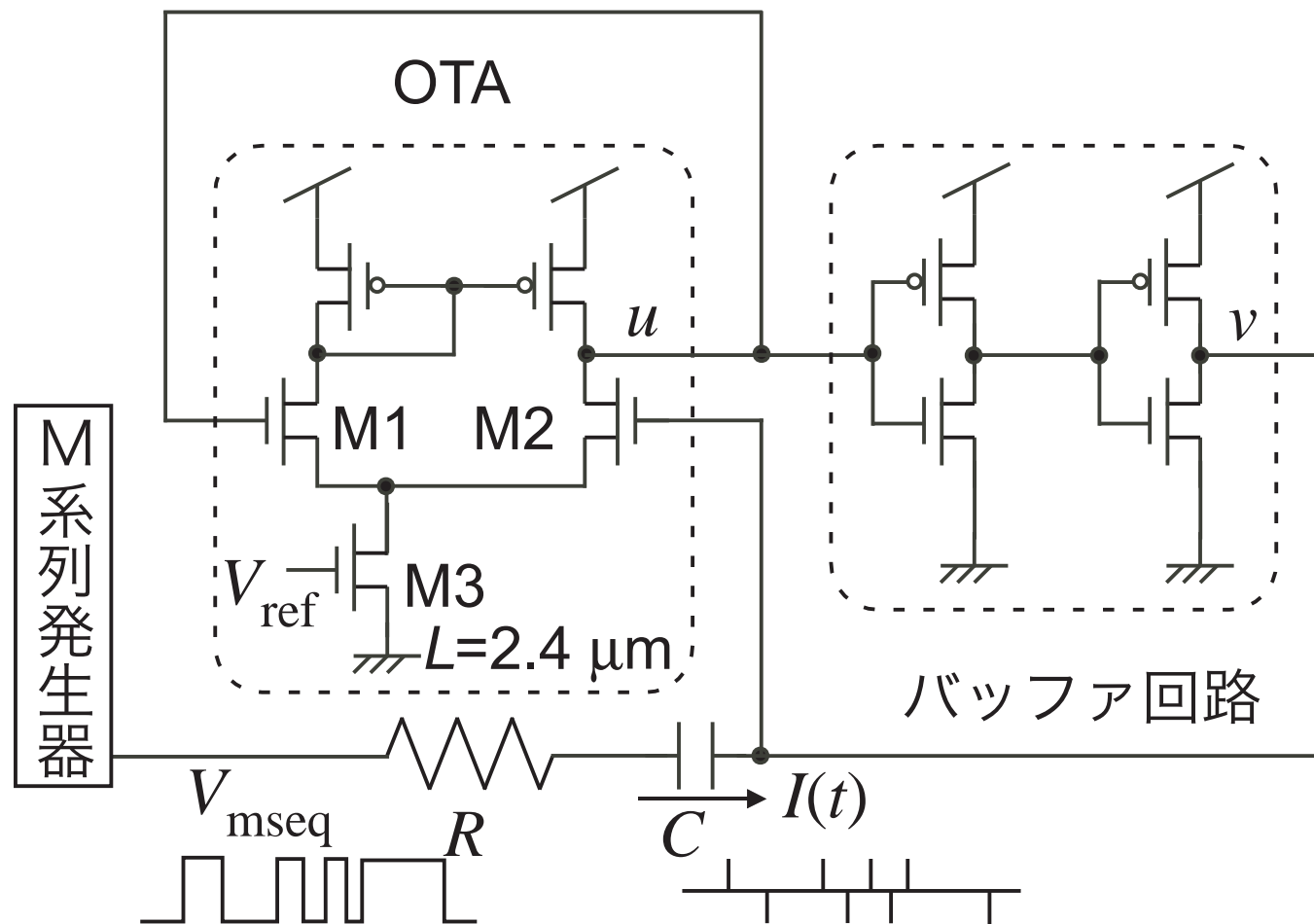


バッファ回路の特性



バッファ回路の構成

# 雑音源を含んだクロック源回路の構成



0.25- $\mu\text{m}$  CMOS parameters

$W/L = 0.36 / 0.24 \mu\text{m}$

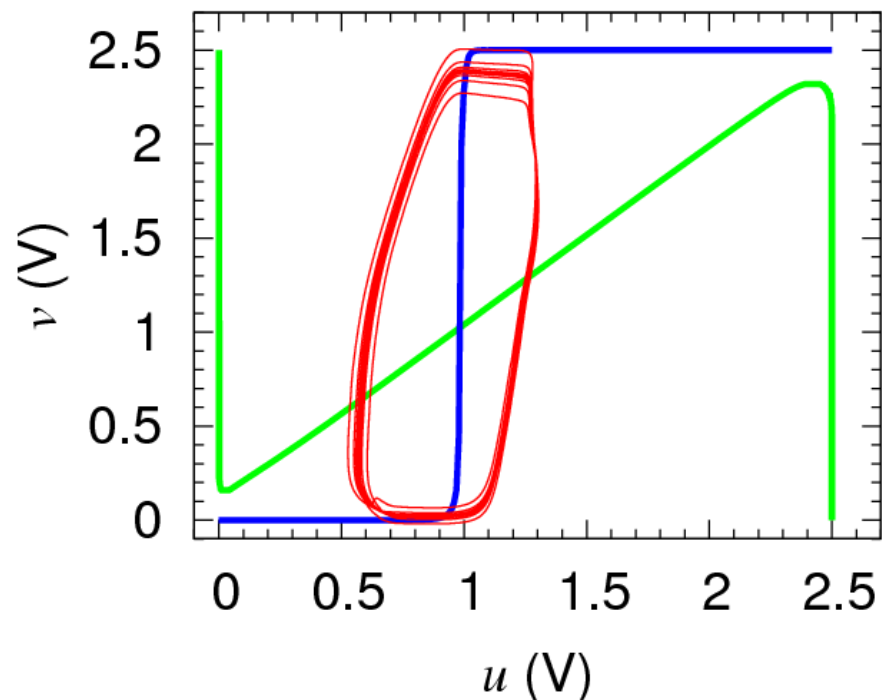
$V_{dd} = 2.5 \text{ V}$

$V_{mseq}$ : パルス雑音電圧

$I(t)$ : インパルス雑音電流

$R = 10 \text{ k}\Omega$ ,  $C = 100 \text{ fF}$

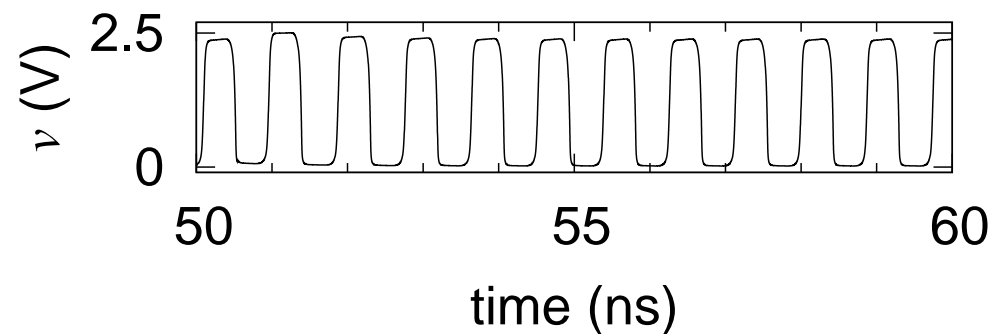
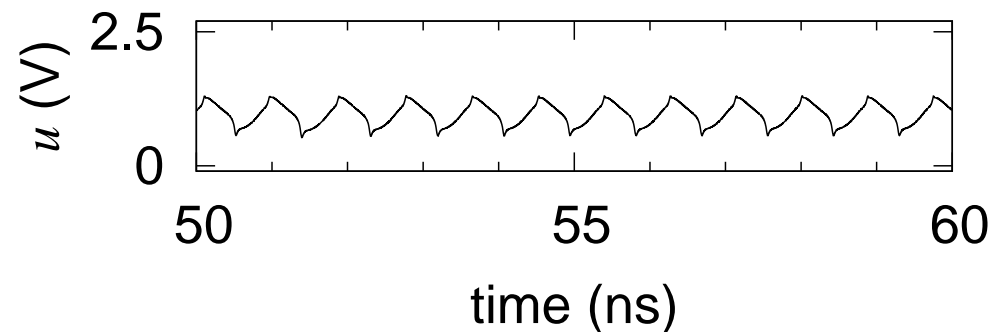
# SPICEシミュレーション結果(クロック源)



nullcline と軌跡

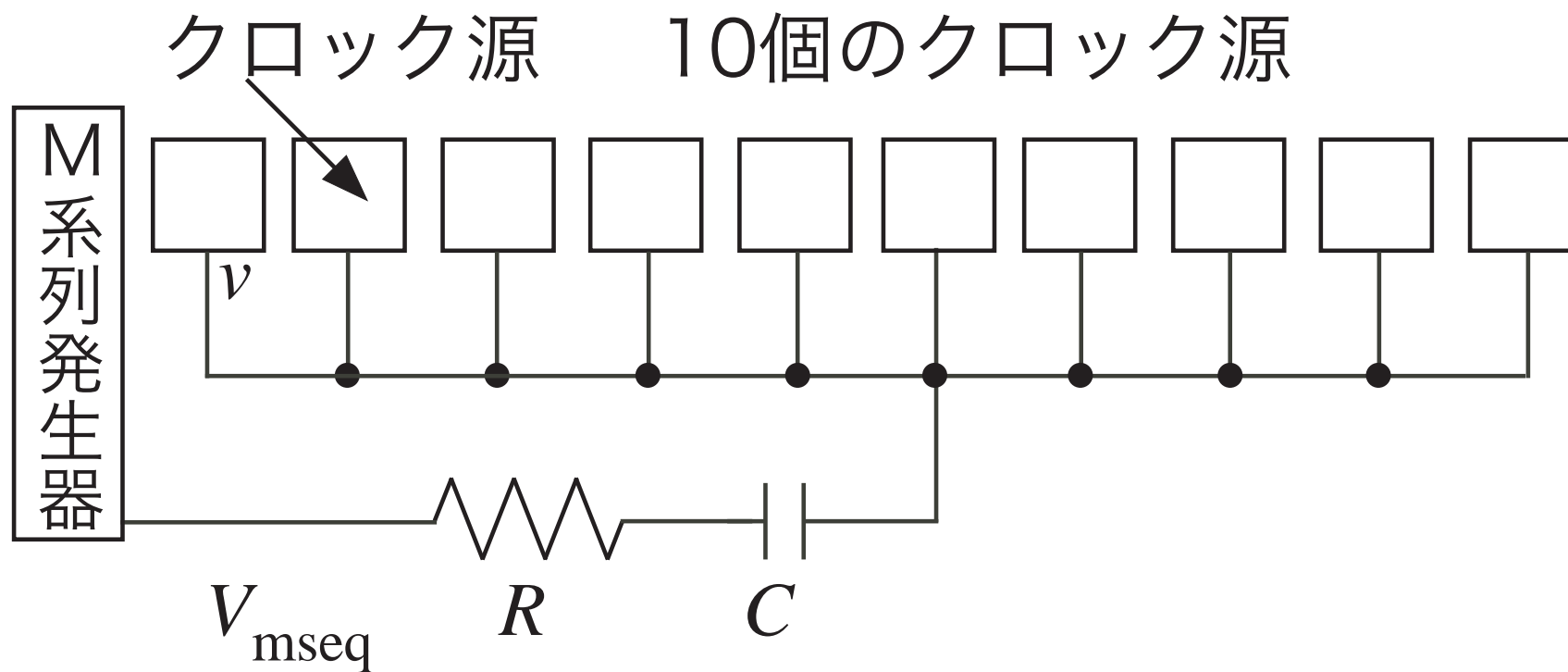
$$V_{\text{ref}} = 1 \text{ V}$$

動作周波数: 1 GHz



$u$ (上) と  $v$ (下) の時間変化

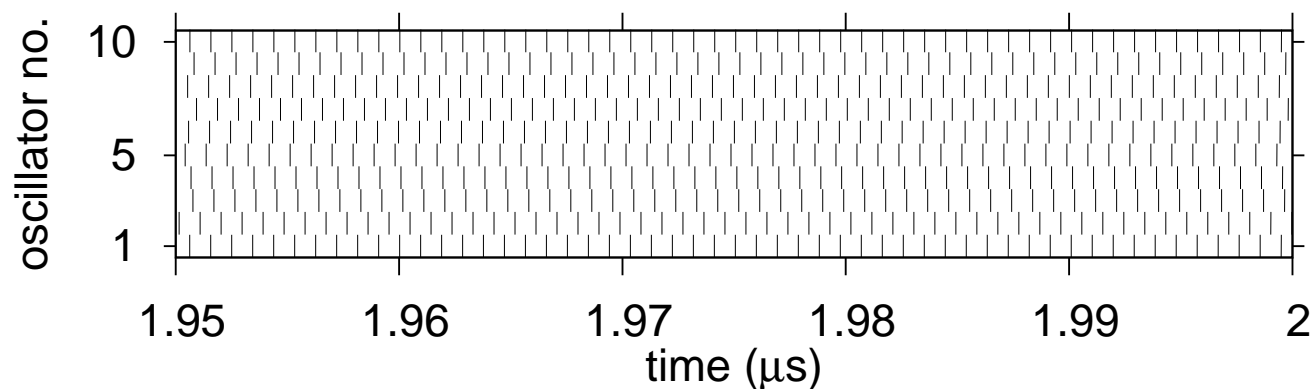
# 同期評価のための回路構成



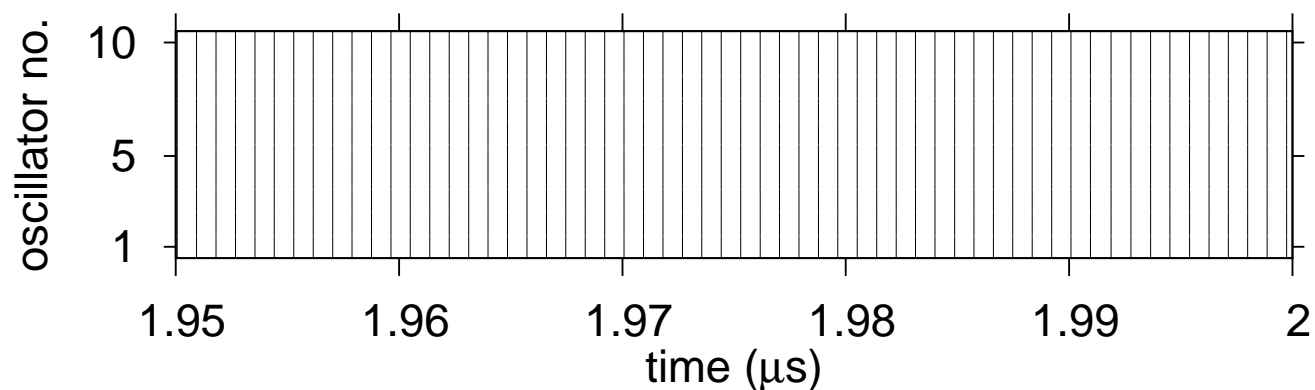
# シミュレーション結果-1 (パルス信号の時系列)

各クロック源のパルス信号が立ち上がった時間を縦棒で表現

(a) without noise



(b) with noise

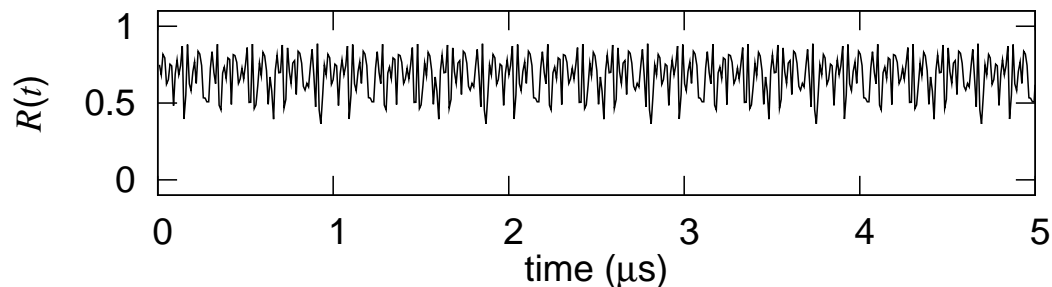


initial condition: ランダム

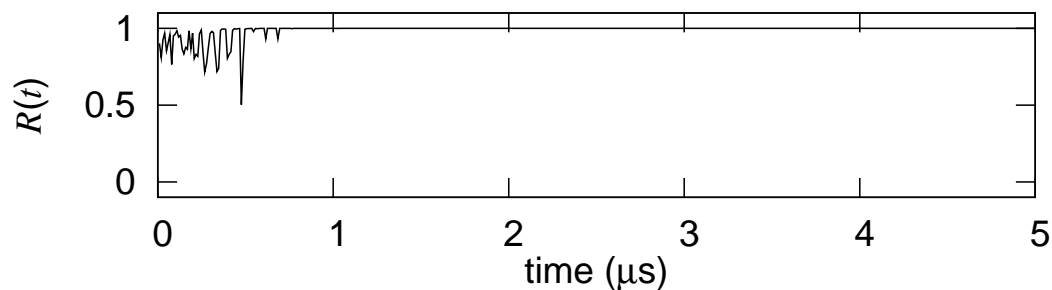
雑音が無いとき: 非同期  $\leftrightarrow$  雑音があるとき: 同期

# SPICE シミュレーション結果-2 (同期評価)

(a) without noise



(b) with noise



$R(t) = 1$ : 同期

$R(t) < 1$ : 非同期

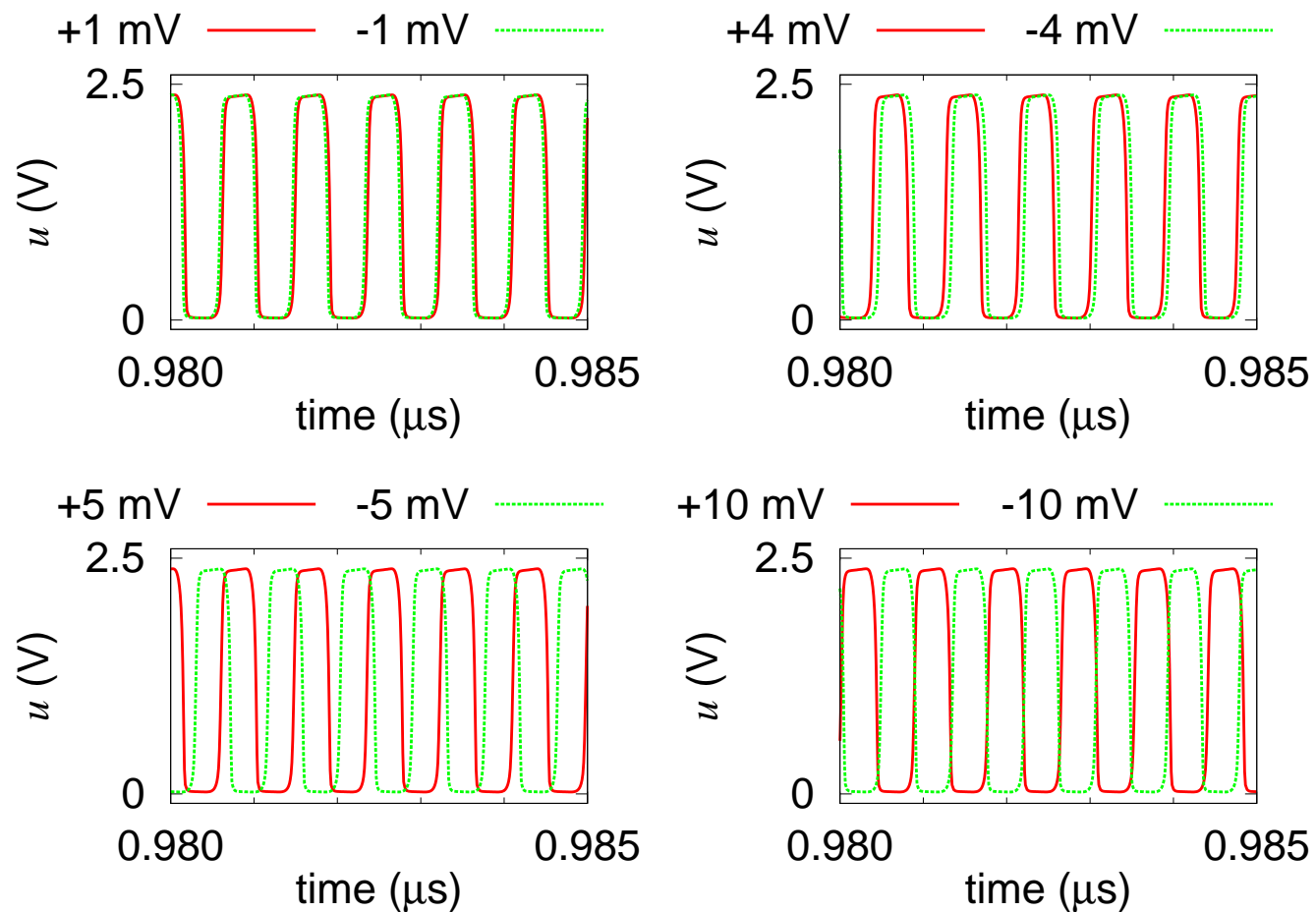
$$R(t) = \frac{1}{N} \left| \sum_j \exp(i\theta_j) \right|, \theta_j = \tan^{-1} \left( \frac{v_j - v^*}{u_j - u^*} \right)$$

$i$ : 虚数,  $(u^*, v^*)$ : 固定点



# SPICEシミュレーション結果-4

M3のしきい値にオフセットを与えた時の $v$ の時間変化



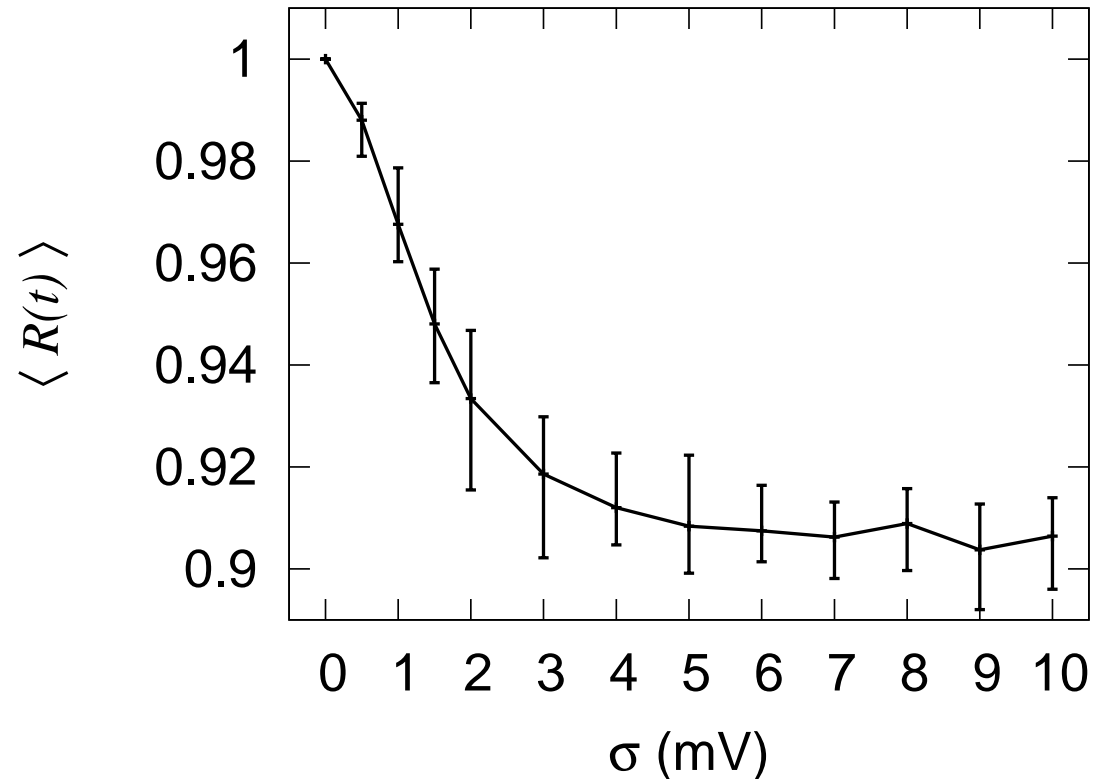
$\leq 4\text{mV}$ : 同期

$\geq 5\text{mV}$ : 非同期



# SPICEシミュレーション結果-4 (素子バラツキの統計的解析)

M3 の  $V_{TH0}$ : ガウス分布 (平均: 0.37 V)



$\sigma$ : 増加  $\rightarrow$  同期も妨げられる

# Conclusion

我々は配線遅延低減を目的として、雑音を利用して複数のクロック源の位相を同期させる位相同期手法を提案した。

- ▶ Wilson-Cowan 振動子モデルを利用して1GHzで動作するようにクロック源を設計した。
- ▶ 数値モデルと同様の位相同期現象を回路シミュレーション上でも確認できた。
- ▶ 素子バラツキが同期に与える効果についても評価した。

## 今後の予定

- ▶ 素子バラツキと同期の関係を詳しく調査