

非単調 CDMA ニューラルネットを用いた連想記憶イメージセンサの数値的考察

Numerical Examination of Associative-Memory Image Sensors Using Non-monotonic CDMA Neural Networks

金澤 雄亮[†], 浅井 哲也[†], 雨宮 好仁[†]

Yusuke Kanazawa[†], Tetsuya Asai[†] and Yoshihito Amemiya[†]

Abstract We propose a construction of intelligent image sensors that perform associative memory tasks with nonmonotonic CDMA neural networks. The CDMA approach allows implementing Hopfield's associative neural network on a 2-D rectangular grid (chip), while the storage capacity of the chip is increased by employing a nonmonotonic transfer function. The numerical results of the nonmonotonic CDMA neural networks indicated that i) the CDMA network performed the associative memory task well although the multiple-valued outputs were muxed and demuxed by the CDMA, ii) the number of neurons that could be implemented on a 1 cm × 1 cm chip was 340 for a 0.6- μ m CMOS process, and iii) the storage capacity (the number of stored patterns *per* number of neurons) was approximately 0.3, which implies a possible development of associative memory systems on image sensors.

キーワード: CDMA, 連想記憶, Hopfield ニューラルネットワーク, 非単調応答関数, ビジョンチップ, インテリジェントイメージセンサ

1. ま え が き

近年、イメージセンサが得た情報を実時間で処理する技術に対する要求が高まっている。センサが得た情報を後段のプロセッサで逐次的に処理するようなシステムでは、画素数の増加に応じて画像の処理にかかる時間が増加するためである。この問題を解決するために、画素毎に並列処理回路を設けた「ビジョンチップ」が開発されてきた。これまでは、初期視覚機能（ノイズ除去、輪郭抽出、動き検出など）を有するビジョンチップの開発が主流であった（高い機能を持たせると、画素回路の面積が増加してチップの集積度が下がるため）。しかし、さほど高い解像度が必要ない場合や、集積度よりも機能が重要である場合は、チップサイズを犠牲にしてビジョンチップに高い機能を持たすことができる。例えば、認知・判断などの高次視覚機能をビジョンチップに搭載できれば、その応用範囲は計り知れない。本稿では、生体が行う高次視覚処理の中で応用最も有用であると考えられる「連想記憶」の機能を有するイメージセンサの構成法を提案し、その実現可能性を探る。

連想記憶とは、与えられた（入力された）情報を手がかりにして、入力情報に最も近い情報を記憶の中から想起する処理である。連想記憶の手段として、最近傍法やニューラルネットを使った方法が挙げられる。最近傍法とは、入力パターンと記憶しているすべてのパターン間の距離を計算し、最も距離の小さいパターンを認識結果とする方法である¹⁾。この方法は、パターン間の距離を逐次的に計算、またすべての記憶パターンに対して距離を計算する必要があるため、画素数が増加すると想起に時間がかかる。これに対して、Hopfield の連想記憶ニューラルネットワークは、ハードウェア化した場合、各ニューロンが並列に想起処理を行うため、想起時間がニューロン数にあまり依存しない。よって、本稿では連想記憶の手段として、Hopfield ネットワークを用いることにする。

Hopfield ネットワークをビジョンチップに組込むためには、以下の問題を解決する必要がある；(1) ネットワークの結合配線部がチップ面の殆どすべてを占有するため²⁾、画素回路（=ニューロン回路）を2次元状に配置することが難しい、(2) Hopfield ネットワークの記憶容量はさほど高くないため（ N 個のニューロンが記憶できるパターンの数は、 $0.1N$ 程度）、応用の範囲に限られる。本稿では、「高い記憶容量を持つ Hopfield ネットワーク³⁾⁴⁾」と「有線 CDMA 方式⁶⁾⁻⁸⁾」を導入することで、上記問題の改善を図る。具体案として、有線 CDMA を利用することで共通配線でニュー

2003 年 2 月 4 日受付, 2003 年 10 月 14 日最終受付, 2003 年 11 月 28 日採録

[†]北海道大学工学部 電子工学科

(〒060-8628 札幌市北区北 13 条西 8 丁目, TEL 011-706-7147)

[†]Department of Electrical Engineering, Hokkaido University
(Kita 13, Nishi 8, Kita-ku, Sapporo, 060-8628, Japan)

ロン間の情報伝達を行う。これによって、ニューロン（画素回路）を2次元状に配置してイメージセンサと統合する。さらに、集積度向上のため、ウェーブパラレルコンピューティングアーキテクチャ⁷⁾⁸⁾を導入する。問題(2)に対しては、Hopfield ネットワークに非単調な伝達関数を導入することで記憶容量の問題を改善する。いくつかの高い記憶容量を持つ Hopfield ネットワーク³⁾⁻⁵⁾が提案されている。本稿では、記憶容量の増加に加えて、偽記憶（間違っただパターン）の想起、超想起相（ニューロンの入力ノイズが消える完全な記憶想起）の出現等の性質を持つ、「連続時間で動作する非単調 Hopfield ネットワーク³⁾⁴⁾」を採用した。

本稿ではまず、Hopfield の連想記憶モデルについて概観し、そのイメージセンサへの組込みアーキテクチャ（非単調 CDMA ニューラルネット）について述べる。さらに、(1) 非単調 CDMA ニューラルネットの具体的な回路の提案、(2) 非単調 CDMA ニューラルネットの想起能力を回路シミュレーションにより確認、(3) 非単調 CDMA ニューラルネット回路の具体化による、ノイズに対する想起能力の評価を行う。(1)については、集積度の向上を目指して回路をすべてアナログで構成する（CDMA 通信部に必要な乱数発生器を除く）。また、チップに搭載可能な画素数の見積もりを行う。(2)については、非単調 CDMA ニューラルネットの想起能力を従来の Hopfield ネットワークと比較して示す。さらに、CDMA 部の伝送エラーが非単調 CDMA ニューラルネットに与える影響を調べる。(3)については、アナログ回路中のノイズ（素子特性バラツキ）を加えて回路シミュレーションを行い、ノイズがネットワークの記憶想起能力に与える影響を調べる。

2. Hopfield の連想記憶モデル

神経素子の膜電位を表す時系列信号を u_i ($i = 1, \dots, N$)、伝達関数を $f(x)$ とすると Hopfield の連想記憶モデルの想起ダイナミクスは以下の式

$$\dot{u}_i = -u_i + \sum_{j=1}^N J_{ij} f(u_j). \quad (1)$$

で与えられる。ここで J_{ij} は結合行列である。Hopfield は、 J_{ij} が対称で $f(x)$ が単調増加関数の場合には、想起ダイナミクスが必ず固定点を持つことを示し、これらの固定点を記憶と解釈することを提案した⁹⁾。具体的には、 P 個の記憶させたい活動パターン（ここでは ± 1 の2値をとるものとする）を ξ_i^μ ($\mu = 1, \dots, P$) とし、結合を

$$J_{ij} = \frac{1}{N} \sum_{\mu=1}^P \xi_i^\mu \xi_j^\mu \quad (i \neq j), \quad J_{ii} = 0, \quad (2)$$

とした。このようにしておくこと、例えば、各記憶パターンが直交し、 $f(x)$ が $\tanh(\beta x)$ といったシグモイド関数の場合には、 $f(u_i) \approx \xi_i^\mu$ が(1)式の固定点になることも確かめ

られる。ここでもこの結合行列を採用する。

さらに Hopfield はシミュレーションを行い、彼のモデルが正しく記憶パターンを想起できるためには、パターン数 P がある値以下でなければならないことを示した。その値はネットワークのサイズ N に比例して決まり、約 $0.15 N$ であると推定された。想起が保証される $\alpha_c \equiv P/N$ の上限値を連想記憶モデルの記憶容量と呼ぶ。

実際の連想記憶モデルの応用を考えた場合、記憶パターンは目的により様々であることが予想され、モデルの能力に対して定性的にはともかく、一般的な定量的結論を引き出すことは不可能である。しかし、記憶パターンの統計的性質を単純なものに制限すれば、その範囲で定量的な結論を引き出すことは可能であり、それはモデルに対する一つの評価基準となり得る。そこで、Amit 等は記憶パターンが2値のランダムパターンであると仮定して、レプリカ計算と呼ばれる解析方法を2値ニューロンの連想記憶モデルに適用し、記憶容量 α_c が0.14を越えないことなどを示した¹⁰⁾。その後 Shiino らによりこの方法はシグモイド伝達関数を有する連続値モデルに拡張され、同様の結論が引き出された¹¹⁾。

ネットワークの状態を巨視的にとらえるために、各記憶パターンに対してパターンオーバーラップを定義する。

$$m^\mu = \frac{1}{N} \sum_i \xi_i^\mu z_i, \quad \mu = 1, \dots, P. \quad (3)$$

但し $z_i = f(u_i)$ である。すると神経素子 i への入力 h_i (ローカルフィールド) は

$$h_i = \frac{1}{N} \sum_{\mu=1}^P \xi_i^\mu \xi_j^\mu z_j = \sum_{\mu} \xi_i^\mu m^\mu - \alpha z_i, \quad (4)$$

と書ける。ここで仮に1番目の記憶パターンが想起されるとすると、 $m^1 \approx 1$ 、 $m^\mu = O(1/\sqrt{N})$ ($\mu = 2, \dots, N$) であるから、右辺第1項はパターン1を安定化させる「信号」($\approx \xi_i^1$)と、それを乱そうとする「雑音」($\sum_{\mu=2}^N \xi_i^\mu m^\mu$)に分解できる。つまり、各記憶パターンは自分以外のパターンが想起される際には雑音源に過ぎない。さらに、雑音項の分散が $\sqrt{P/N}$ であることから、許される記憶パターン数 (α) には上限値が存在する。このようにして求められた雑音項がガウスの白色雑音で表されると仮定すると、連想記憶モデルの平衡状態は秩序パラメタの連立方程式に帰着する³⁾。

秩序パラメタの連立方程式を数値的に解くことにより、非単調連想記憶モデルの相図も求められている³⁾。伝達関数として

$$f(x) = \begin{cases} 1 & 0 < x < \theta \\ -1 & -\theta < x < 0 \\ 0 & \text{otherwise} \end{cases} \quad (5)$$

で表される非単調増加関数を用いる。この場合、連想記憶モデルにおいて、全く想起が行われない相、想起が行われる

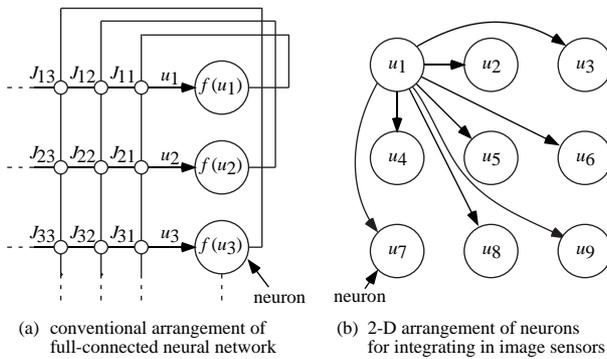


図 1 相互結合ニューラルネットのレイアウト; (a) Hopfield ニューラルネットの古典的配置; (b) ニューロンの 2 次元配置 (イメージセンサと統合)

Layout of full-connected neural network; (a) conventional arrangement of the Hopfield neural network; (b) 2-D arrangement of neurons for integration with image sensors.

相, さらに非単調連想記憶モデルに特有な, 上記の雑音項が完全に消失する相 (超想起相) が存在し得る. また, 記憶容量は $\theta = 0.4$ 付近で最大 ($\alpha \approx 0.42$) となる. この値は従来のシグモイド ($\theta \rightarrow \infty$ に対応) の場合の $\alpha = 0.14$ と比較すると約 3 倍大きく, 非単調連想記憶モデルの高い想起能力を表している.

3. Hopfield ネットワークのイメージセンサへの組み込み

Hopfield ネットワークとイメージセンサを組合せて連想記憶を行うためには, イメージセンサの各々の画素の周辺にニューロンを設けて, 光センサとニューロンの対をチップ上に敷き詰めればよい. しかし, (1) 式からわかるように, Hopfield ネットワークの一つのニューロンは, 他のすべてのニューロンと結合強度 J_{ij} で繋がっている. したがって, これらの結合配線が複雑に絡まないように (チップ化のため配線が 3 次元的にならないように), ニューロンをチップ上に配置するためには工夫が必要である. Hopfield ネットワークの古典的な面配置を図 1(a) に示す (図中の記号は (1) 式に対応). この面配置ではニューロンの並びが 1 次元的であるため, 光センサの並びも 1 次元的になり, 2 次元画像を直接受けることができない. また, 図 1(b) のように結合を維持したまま, ニューロンの並びを 2 次元的にすると, ニューロン間の配線が絡み合うことは自明であり, ニューロンの数が増えると結合の配置・配線は事実上不可能である. そこでまず, ニューロンの出力を多重化して結合配線の複雑度を下げを試みる. 具体的には, すべてのニューロンに共通な配線 (バス) をチップ上に敷く. それぞれのニューロンが自身の出力を変調してバスに出力すると同時に, そのバスから必要なニューロンの出力のみを取り出すようにする.

3.1 連想記憶イメージセンサの多重化方式

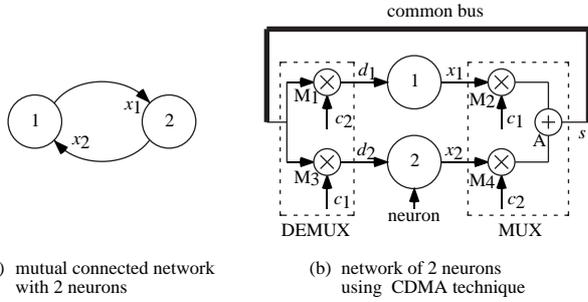
現在の主な多重化方式として, TDMA, FDMA, CDMA 方式などが挙げられる. この中から, 以下の二つの点を考

慮して, ニューロン出力の多重化に採用する方式を決定する. 第 1 に, ニューロン出力を多重化した場合でも, 非単調 Hopfield ネットワークの持つ高い想起能力が劣化しないよう考慮する. Hopfield ネットワークでは, 記憶パターンと全く相関のない記憶パターン (偽記憶) が想起されることがある. 連続時間で動作する Hopfield ネットワークでは, 記憶パターン間の相関が 0 の場合, 非単調応答関数を導入することで, この偽記憶が抑制される⁴⁾. この偽記憶抑制の効果を利用できれば, イメージセンサの記憶想起能力は向上する. 第 2 に, 高い集積度を得られるよう考慮する.

TDMA 方式では通信路を時分割する. すなわち, 一定時間 ($\equiv T_s$) 毎に各ニューロンがすべてのニューロンに向けて, 順次信号を出力する. すべてのニューロンが信号を出力した後, 各ニューロンは膜電位を更新する. この出力-更新を繰り返すことでニューロン間の通信を行う. したがって, ニューロン数を N とすると, TDMA 方式では (1) 式を時間きざみ $N \times T_s$ 毎に離散時間で計算することになる. 偽記憶が抑制される効果を利用するためには, (1) 式を計算する時間きざみ $N \times T_s$ が, ニューロンの膜電位の時定数 τ に比べて十分に小さい必要がある. 時間 T_s は一定なので, 多数のニューロンを集積し, かつ偽記憶の抑制の効果を利用するには ($N \times T_s \ll \tau$ を満たすには), 膜電位の時定数を非常に大きくする必要があり. この膜電位の時定数は, 記憶想起にかかる時間と同程度のオーダーである³⁾. そのため, ニューロン数の増加に伴い, イメージセンサの記憶想起の速度が大きく低下する.

FDMA 方式では通信路を周波数分割するため, 連続時間での多重化が可能である. したがって, 偽記憶の抑制の効果を利用できる. しかし, FDMA では変調および復調ブロックの回路規模がニューロン自身の回路と比較して大きくなる. ただし, チップ面積に余裕がある場合は, (1) 式の実装に有効な方式である.

CDMA 方式では各ニューロンに与えた符号により通信路を分割する. CDMA の一つである DS-CDMA では, それぞれのニューロンに互いに相関のない, 2 値の乱数列を割り当て, その乱数列を照合 (乱数列間の相関を計算) することで通信を行う. そのため, 信号が周波数的/時間的に混在していても通信が可能である. この乱数列は, ある時間 T_c 毎に値が変化する離散時間の信号である. CDMA を用いてニューロン間の通信を行う場合, すべてのニューロンに共通の配線 (共通バス) を設け, その共通バスに各ニューロンが時間的に並列に信号を出力する. それと同時に, 各ニューロンは共通バス上の信号を受信し復調を行う. 復調信号のエラーを少なくするには, 各ニューロンに与えられた乱数列間の相関が充分低い必要がある. DS-CDMA でよく使われる M 系列を乱数列として使う場合, ニューロン数を N とすると, エラーの少ない復調を行うには, 相関を計算する時間が $N \times T_c$ と同程度かそれより長い必要がある. ここで, 相関の計算に RC フィルタを使うとする. この場



(a) mutual connected network with 2 neurons

(b) network of 2 neurons using CDMA technique

図 2 ニューロン出力の多重化スキーム; (a) 2 個のニューロンの相互結合ネットワーク; (b) CDMA による相互結合ネットワーク

CDMA scheme for a neuron; (a) mutual-connected network with 2 neurons; (b) a network of 2 neurons using CDMA technique.

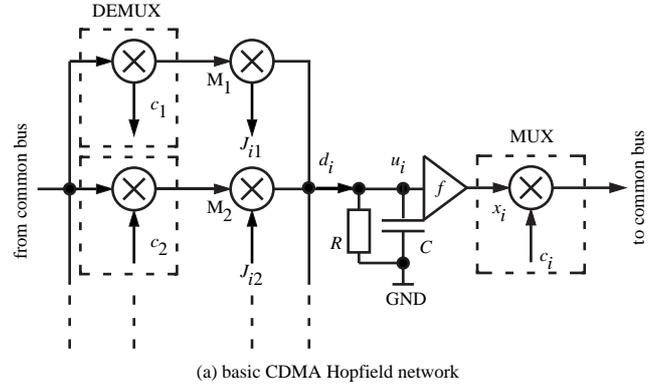
合, 相関を計算する時間は RC フィルタの時定数と同程度になる. アナログニューロンは, RC フィルタそのものであり, ニューロンと別に RC フィルタを設ける必要はない. この場合, ニューロンの時定数と相関を計算する時間が同程度になる. すなわち, ニューロンの時定数を $N \times T_c$ と同程度かそれより大きくすることが望ましい. ここで, 乱数列は離散時間の信号であるが, 膜電位は連続時間で変化する. そのため, 非単調応答関数の導入による偽記憶抑制の効果を利用できると予想される.

膜電位の時定数を TDMA を用いる場合と比較する. ここで, TDMA での一つのニューロンの通信にかかる時間 T_s と CDMA での乱数列の平均変化時間 T_s を同程度とする. TDMA 方式を用いる場合, 膜電位の時定数は, (1) 式を計算する時間きざみ $N \times T_s$ より充分に小さくしなければならない. 一方, CDMA 方式を用いる場合, 膜電位の時定数は $N \times T_c$ と同程度でよい. すなわち, CDMA 方式を用いる場合, 必要な想起時間は TDMA を用いる場合ほど長くないと予想される.

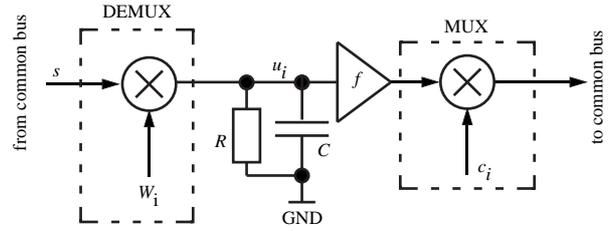
近年, チップ間 (または回路ブロック間) の配線を有線の CDMA で多重化してバスの本数を減らす技術が確立している⁶⁾¹²⁾. そこで, この有線 CDMA 技術を利用してニューロン間の結合の複雑度を下げつつ, 連続時間での多重化により, 高い記憶容量を持つ連想記憶イメージセンサを構成する.

3.2 ニューロン出力の多重化

図 2(a) に示すような 2 個のニューロンからなる相互結合ネットワークを例にとり, 有線 CDMA によるニューロンの多重化について説明する. これらのニューロンの出力を一本の共通バス上で多重化するための基本構成は, 図 2(b) のようになる. ここで, ニューロン 1 と 2 は ± 1 の 2 値を出力し ($x_1, x_2 \in \pm 1$), c_1 と c_2 は互いに相関のない乱数時系列 ($c_1, c_2 \in \pm 1, \langle c_1 c_2 \rangle = 0$) であるとする. 図中の M1~M4 は乗算器を表し, M2 と M4 がニューロン出力と乱数列の積を計算する. また, 加算器 A が M2 と M4 の出力を和を計算する. したがって, バスに乗る信号 s はニューロン出



(a) basic CDMA Hopfield network



(b) CDMA Hopfield network with WPC architecture

図 3 CDMA Hopfield ニューラルネットの構成; (a) 基本構成; (b) ウェーブパラレルコンピューティングアーキテクチャ

Construction of CDMA Hopfield neural network with (a) basic architecture; (b) wave-parallel computing architecture.

力と乱数列の積和になる ($s = x_1 c_1 + x_2 c_2$). この操作は図中の MUX (変調) ブロックが行う. この総和信号を M1 と M3 が受け, 乱数列との積 ($s c_1, s c_2$) を再度計算する. すると, M1 の出力 (d_1) は $x_1 c_1 c_2 + x_2$ となる ($c_2^2 = 1$ となるため). ここで, x_1, x_2 の平均変化時間 (これをシンボル幅 T と呼ぶ) が, 乱数列の平均変化時間 (これをチップ幅と呼ぶ) より充分に長いとすれば, $\langle d_1 \rangle = \langle x_2 \rangle \approx x_2$ となる. 同様に, $\langle d_2 \rangle \approx x_1$ となる. この操作がバス信号の復調であり, 図中の DEMUX (復調) ブロックが行う. これらの変復調の仕組みによって, ニューロン 1 がニューロン 2 の出力 x_2 を受け, ニューロン 2 がニューロン 1 の出力 x_1 を受けるという, ニューロンの相互結合が 1 本の共通バスにより実現できる.

3.3 CDMA Hopfield ネットワーク

前節の CDMA により, (1) 式を多重化する. 図 3(a) にニューロンの内部構成を示す. ニューロンは, 有線 CDMA の MUX と DEMUX ブロック, 結合重みの計算のための乗算器 (M_i), および (5) の非単調特性を持つ閾関数部 (f) からなる. CDMA Hopfield モデルのダイナミクスは,

$$\tau \dot{u}_i = -u_i + \sum_{j=1}^N J_{ij} \left(c_j \sum_{k=1}^N c_k f(u_k) \right) \quad (6)$$

となる. u_i はニューロンの膜電位, c_i はニューロンに与えられた乱数列, $f(u_i)$ はニューロンの出力, J_{ij} は結合行列, τ はニューロンの時定数, N は共通バスに接続しているニューロン数を表す. なお時定数 $\tau = CR$ である. ニューロン i

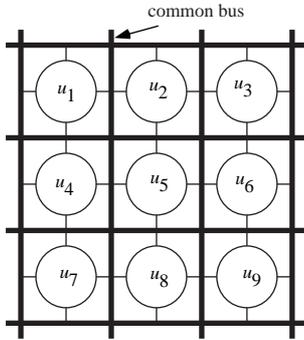


図 4 共通バス上のニューロンの 2 次元配置
2-D arrangement of neurons on common bus.

への入力 d_i は

$$d_i = \sum_{j=1}^N J_{ij} f(u_j) + \sum_{j=1}^N J_{ij} c_j \sum_{k \neq j}^N c_k f(u_k) \quad (7)$$

と書ける ($c_j^2 = 1$ より). ここで, 時定数 τ がチップ幅より充分長いとすれば,

$$\langle d_i \rangle = \left\langle \sum_{j=1}^N J_{ij} f(u_j) \right\rangle \approx \sum_{j=1}^N J_{ij} f(u_j) \quad (8)$$

となる. これにより, (6) 式は (1) 式と等価になる.

(6) 式を電子回路化する場合, ネットワークの各ニューロンは DEMUX ブロックの乗算器と結合重みの乗算器合わせて $2N$ 個の乗算器を持つ. そのため, 各ニューロンの回路規模が増大する. そこで, 文献⁽⁷⁾⁽⁸⁾ で提案されている, 「ウェーブパラレルコンピューティング (WPC) アーキテクチャ」を用いる. このアーキテクチャを用いた場合, CDMA Hopfield ネットワークの乗算器数を減らすことができる. 具体的には, それぞれのニューロンに与えられた乱数列と結合重みの積の和 W_i ($\equiv \sum_{j=1}^N J_{ij} c_j$) を前もって計算し, バス信号 s に乗算する. このアーキテクチャを用いた場合のニューロンの内部構成を図 3(b) に示す. 図 3(b) のネットワークのダイナミクスは,

$$\tau \dot{u}_i = -u_i + W_i \sum_{k=1}^N c_k f(u_k) \quad (9)$$

となり, (6) 式と等価である.

3.4 CDMA Hopfield ネットワークの回路化

前節の (9) 式を電子回路化する. 本稿では, バス上のコモンモードノイズをキャンセルするために, 回路を差動で構成する. ニューロンの配置を図 4 のようにし, ニューロン間を結合する共通差動バスを設ける.

ニューロンの各構成要素の回路構成 (MUX 回路, DEMUX と結合重みの乗算を行う回路, メモリー回路, 受光回路, (5) 式の非単調特性を持つニューロン回路) を説明する. まず, DEMUX と結合重みの乗算を行う回路 (以下これを DEMUX 回路と呼ぶ) の構成を図 5(a) に示す. DEMUX 回路では, (9) 式中の結合重みと乱数列の積和 (W_i) とバス信号 ($\sum_{k=1}^N c_k f(u_k)$) の乗算を行う. 乗算回路として,

ギルバート乗算器¹³⁾を用いた. DEMUX 回路の出力 I_{lcf} は

$$I_{lcf} = \beta(V_{BUS} - V'_{BUS})(V_{wi} - V'_{wi}) \quad (10)$$

である. ここで, V_{BUS}, V'_{BUS} はバス信号, V_{wi}, V'_{wi} はメモリー回路の出力信号, V_b はバイアス電圧, β は乗算器のトランスコンダクタンス係数である.

DEMUX 回路には, 結合重みを記憶するメモリーが必要となる. メモリーの実装には, 例えば, デジタルメモリーに蓄えた値を DA 変換する方法, フローティングゲート MOS FET を用いて, アナログのトランスコンダクタとメモリーを一緒に実装する方法¹⁴⁾¹⁵⁾などが考えられる. ここでは, メモリーの実装面積を小さくし, より多くの画素をイメージセンサに搭載するため, フローティングゲート MOS FET を用いてメモリーを実装する. 結合重みを記憶するメモリー回路を図 5(b) に示す. この回路は結合重みの記憶, 乱数列と結合重みの積和の計算を行う. 電圧 V_{cmi}, V'_{cmi} はニューロン i に与えられた乱数列 c_i の値に従って

$$V_{cmi} = \begin{cases} V_c & \text{if } c_i = 1 \\ V_{SS} & \text{else} \end{cases} \quad (11)$$

$$V'_{cmi} = \begin{cases} V_{SS} & \text{if } c_i = 1 \\ V_c & \text{else} \end{cases} \quad (12)$$

の値をとる. 電圧 V_c はバイアス電圧である. ここで,

$$cm_i = \begin{cases} 1 & \text{if } V_{cmi} = V_c \\ 0 & \text{if } V_{cmi} = V_{SS} \end{cases} \quad (13)$$

$$cm'_i = \begin{cases} 1 & \text{if } V'_{cmi} = V_c \\ 0 & \text{if } V'_{cmi} = V_{SS} \end{cases} \quad (14)$$

$$c_i = cm_i - cm'_i \quad (15)$$

となる cm_i, cm'_i を定義する. この回路の出力電圧 V_{wi}, V'_{wi} は, この回路のゲイン α [$\equiv I_{wj}/(V_{Jij} - V_a)$] を使って,

$$V_{wi} = R_s \sum_{j=1}^N \alpha(V_{Jij} - V_a) cm_i \quad (16)$$

$$V'_{wi} = R_s \sum_{j=1}^N \alpha(V_{Jij} - V_a) cm'_i \quad (17)$$

と表せる. ここで, V_{Jij} はフローティングゲートの電位である. 図中の V_{write} は, フローティングゲートへの書込み用, V_{ctrl} は書込みコントロール用の電圧源であり, フローティングゲートの電位の更新時以外は使用しない.

式 (5) と等価な非単調特性を持つ回路について説明する. ニューロン回路の非単調特性 $F(x)$ を,

$$F(x) = \begin{cases} V_{DD} & 0 < x < V_\theta \\ -V_{DD} (= V_{SS}) & -V_\theta < x < 0 \\ 0 & \text{otherwise} \end{cases} \quad (18)$$

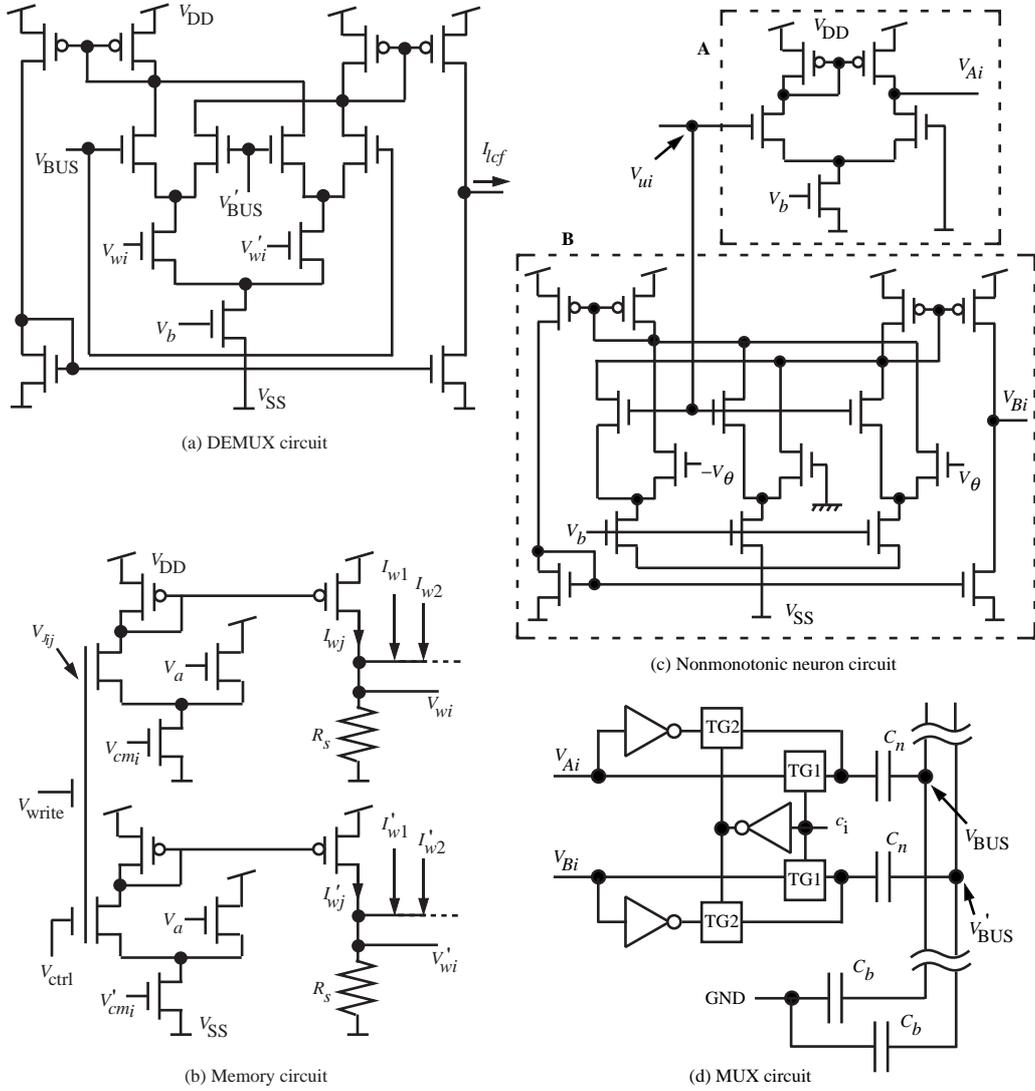


図5 CDMA Hopfield ネットワークの要素回路; (a)DEMUX 回路; (b) メモリー回路; (c) 非単調ニューロン回路; (d)MUX 回路
Unit circuits of CDMA Hopfield network; (a) DEMUX circuit; (b) Memory circuit; (c) Nonmonotonic neuron circuit; (d) MUX circuit.

と定義する．回路を差動で構成するため， $F(x)$ を $F(x) = V_{Ai} - V_{Bi}$ で表される差動信号に変換する．すなわち，電圧 V_{Ai}, V_{Bi} を，

$$V_{Ai} = H(V_{ui}), \quad (19)$$

$$V_{Bi} = H(-V_{ui}) + H(V_{ui} + V_{\theta}) + H(V_{ui} - V_{\theta}), \quad (20)$$

$$H(x) = \begin{cases} V_{DD} & x > 0 \\ V_{SS} & x < 0 \end{cases} \quad (21)$$

とする．ここで， V_{ui} はニューロン i の膜電位である．上記の特性を持つ回路を複数の差動対を用いて構成した．回路構成を図 5(c) に示す．図中の A で示した回路が式 (19) の特性を示し，B で示した回路が式 (20) の特性を示す．

MUX 回路の構成を図 5(d) に示す．この回路は，信号と乱数列の乗算を行う．トランスファーゲート (TG) とインバータを用いて MUX 回路を構成した．ここで，ニューロ

ン i に与えられる乱数列 c_i は ± 1 の値をとり， $c_i = 1$ なら TG1 がオンで TG2 がオフ， $c_i = -1$ なら TG2 がオンで TG1 がオフである．TG1 がオンの時 ($c_i = 1$) は，信号をそのまま出力し，TG2 がオンの時 ($c_i = -1$) は反転した信号を出力する．各ニューロンに搭載された MUX 回路は，それぞれキャパシタ C_n をはさんで共通バスに接続している．すなわち，すべてのニューロンが同時に共通バスへ信号を出力する．よって，ニューロン数 N のネットワークの共通バス上の電位は，

$$V_{BUS} = \frac{C_n}{NC_n + C_b} \sum_{i=1}^N V_{Ai} c_i, \quad (22)$$

$$V'_{BUS} = \frac{C_n}{NC_n + C_b} \sum_{i=1}^N V_{Bi} c_i \quad (23)$$

と書ける．バスの初期電位を電源電圧 V_{DD} と $V_{SS}(= -V_{DD})$ の中間にするために，キャパシタ C_b を通してバスに $(V_{DD} -$

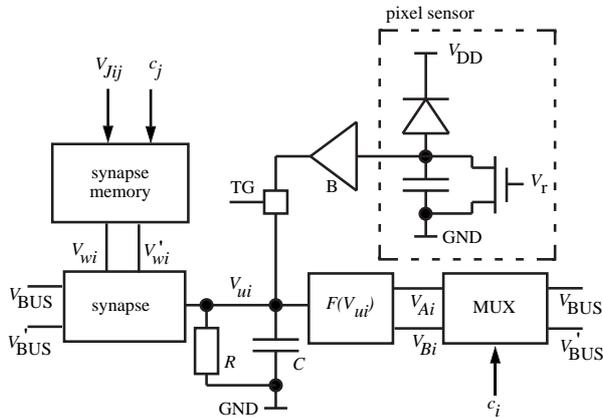


図 6 CDMA Hopfield ネットワークの回路構成
Structure of neuron circuit for CDMA Hopfield network.

$V_{SS})/2$ の電圧を与える．キャパシタ C_b の容量は，バス信号（ギルバートセルの入力）の最大振幅がギルバート乗算器のダイナミックレンジに収まるように決定する．

上記の DEMUX 回路，メモリー回路，非単調ニューロン回路，MUX 回路に，受光回路，図 3(b) 中の C, R を加えたニューロン全体の回路を図 6 に示す．回路の節点方程式は

$$C \frac{dV_{ui}}{dt} = -\frac{1}{R} V_{ui} + \sum_{j=1}^N \frac{2\alpha\beta R_s R C_n}{N C_n + C_b} (V_{Jij} - V_a) c_j \sum_{k=1}^N c_k F(V_{uk}) \quad (24)$$

となる．ここで， C は膜容量， R は膜の抵抗を表す．この式は，以下

$$u_i = \frac{V_{ui}}{V_{DD}}, \quad \tau = CR, \quad f(u_i) = \frac{F(V_{DD}u_i)}{V_{DD}}, \quad J_{ij} = \frac{2\alpha\beta R_s R C_n}{N C_n + C_b} (V_{Jij} - V_a) \quad (25)$$

の変換により (6) 式と等価になる．さらに $W_i = \sum_{j=1}^N J_{ij} c_j$ とすることで (9) 式と等価になる．

この回路への入力画像（連想記憶の手掛かりとなる画像）は，ニューロンの膜電位を受光回路の出力値に初期化することで与える．受光回路のキャパシタをリセット ($V_r = "1"$) 後，光量に応じてキャパシタがチャージされる．キャパシタの電圧をバッファ B で 2 値化し，トランスファゲート (TG) をオンにすることで，ニューロンの膜電位を初期化（画像を入力）する．

3.5 連想記憶イメージセンサの画素数の見積もり

ここでは，ニューロン回路の実装サイズを具体化し，連想記憶イメージセンサの画素数の見積もりを行う．

ニューロン数 N の連想記憶ネットワークの場合，MUX と DEMUX の乱数列 (M 系列) を作るために必要なシフトレジスタの段数 (D-フリップフロップ (D-FF) の個数) は， $\lceil \log_2 N \rceil + 1$ である．ここで， $\lceil x \rceil$ は x 以下の最大の整数を表す．一つの乱数列発生器から， $\lceil \log_2 N \rceil + 2$ 個の

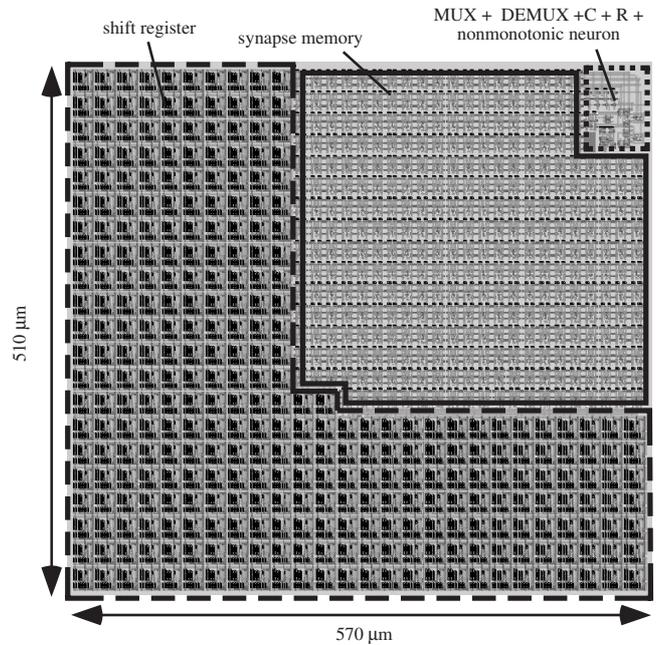


図 7 ニューロン回路 (シナプス数: 349, D-FF 数: 324) のレイアウト例
VLSI layout of neuron circuit implementing 349 synapses and 324 D-FFs.

乱数列を発生できるので，一つのニューロンあたりに必要な乱数発生器の数は $\lceil N/(\lceil \log_2 N \rceil + 2) \rceil + 1$ 個である．また，結合重みと乱数列の積和を記憶しておくメモリーの数は $N - 1$ 個であり，その他の回路は N の増加に無関係である．すなわち， N が十分に大きい場合，一つのニューロン回路の面積の殆どすべてを乱数発生回路とメモリー回路が占める．以下，ニューロン回路のサイズを具体化し，搭載可能な画素数の見積もりを行う．

まず，メモリー回路のサイズを見積もる．MOSIS の 2 層 poly のプロセスでフローティングゲート MOS FET を試作可能である¹⁴⁾．このプロセスを使用するとして概算すると，メモリー回路を $70\lambda \times 55\lambda$ 以下で構成可能である (λ はスケラブル CMOS の length unit)．また，D-FF は一つあたり， $80\lambda \times 70\lambda$ 程度で構成できる．このニューロン回路を正方にデザインできるとすれば，一つのニューロンの占める面積は， $3850(N - 1)\lambda^2 + 5600(\lceil \log_2 N \rceil + 1)(\lceil N/(\lceil \log_2 N \rceil + 2) \rceil + 1)\lambda^2$ となる． λ を $0.3 \mu\text{m}$ と仮定 (実装サイズは $0.6 \mu\text{m}$) し，このニューロン回路を正方にデザインできるとすれば， $1 \text{ cm} \times 1 \text{ cm}$ のチップ上に 300 個以上のニューロンが集積可能であると予測できる．図 7 に，ニューロン回路のレイアウト例を示す (メモリー回路: 349 個, D-FF: 324 個)．実線で囲んだ領域がメモリー回路，荒い破線で囲んだ領域が乱数発生回路，細かい破線で囲んだ領域がその他の回路 (DEMUX 回路，非単調応答関数回路，MUX 回路， C, R) を示す．ここで，ポリシリコンを用いて C, R を実装する場合，その占有面積はそれぞれの容量，抵抗値に比例して増加する．その容量，抵抗値は必要なニューロンの時定数 $\tau (= CR)$ によって決まる．そこ

で、集積度を向上させるため、小さい面積で高抵抗が得られる水平抵抗回路¹³⁾を R として用いた。また、 C は 2 層ポリシリコンで実装した。ニューロン一つあたりのサイズは約 $510 \mu\text{m} \times 570 \mu\text{m}$ であった。このサイズで実装した場合、 $1 \text{ cm} \times 1 \text{ cm}$ のチップ上に約 340 個のニューロンが集積できる。

4. シミュレーション結果

前章の基本アーキテクチャでは、バス信号を復調する際にエラーが生じると、ニューロンが受け取る信号にエラーが含まれることになる。このエラーにより、Hopfield ネットワークの想起能力がどのように変化するかを数値的に調べる。はじめに、理想状態（外部ノイズ、回路中の素子のばらつき等がない場合）での CDMA Hopfield ネットワークの記憶想起能力を調べる。具体的には、(24) 式を数値的に解き CDMA Hopfield ネットワークの連想記憶シミュレーションを行う。さらに、回路中のノイズ（外部ノイズ、素子のばらつきによるノイズ等）が存在する場合での、CDMA Hopfield ネットワークの記憶想起能力を調べる。つぎに、超想起相の有無を確認するため、CDMA Hopfield ネットワークにおいて、平衡状態でのニューロンの入力分布を調べる。

4.1 CDMA Hopfield ネットワークの記憶想起能力
はじめに、理想状態での CDMA Hopfield ネットワークの記憶想起能力を調べる。CDMA Hopfield ネットワークでは、バス信号の復調のために、膜電位の平均変化時間（ニューロンの時定数）が乱数列の平均変化時間（チップ幅）よりも充分長い必要がある。そこでまず、バス信号の復調と記憶想起に最適なニューロンの時定数 τ を見積もる。具体的には、図 3(a) のネットワークにおいて、ニューロン i があるニューロン（ここではニューロン 1）の出力を復調する際のエラーを、 τ を変化させて計算する。その復調のダイナミクスは

$$C\dot{u}_i = -\frac{1}{R}u_i + \frac{J_{i1}}{R}c_1 \sum_{j=1}^N x_j c_j, \quad (26)$$

となる。ここで、 N はニューロン数、 u_i は復調を行なうニューロンの膜電位、 x_j は j 番目のニューロンの出力、 J_{i1}/R は結合コンダクタンス、 c_1, c_j は規格化した乱数列を表す。以下のシミュレーションでは、 $N = 100$ 、乱数列に 127 ビット M 系列を使用し、チップ幅を 5 ns とした。簡単化のため、結合コンダクタンスを一定値とした ($J_{i1}/R = 1 \text{ nS}$)。また、 x_j は非単調応答関数の出力値と同じ 3 値とし、その平均変化時間（シンボル幅）を $7.5 \mu\text{s}$ とした。

図 8 に、 τ を変化させたときの復調におけるエラー率を示す。このエラー率 (E_r) は

$$E_r = \frac{1}{NT_a} \int_0^{T_a} \sum_{i=1}^N |x_i - u_i| dt, \quad (27)$$

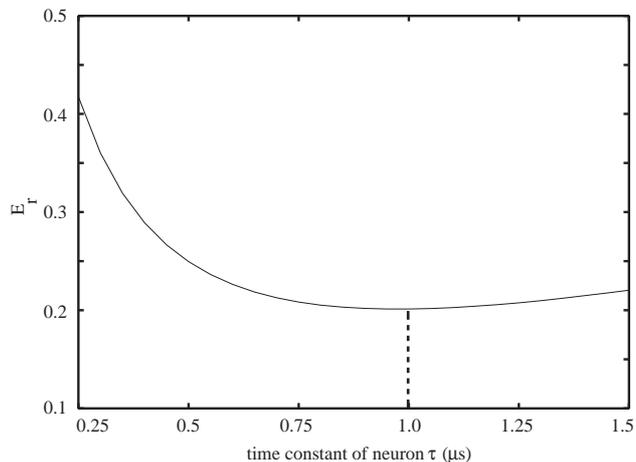


図 8 ニューロンの時定数 (CR) による復調エラーの変化
Change of normalized errors in DEMUX circuits for time constant of neuron.

により定義した。ここで、 T_a は (26) 式の計算における全計算時間である。時定数の減少に伴い M 系列のノイズによるエラーが増大し、逆に時定数が増加すると時間遅れによるエラーが増大する。ノイズによるエラーと時間遅れによるエラーのトレードオフにより、復調に最適な時定数が決まる。図 8 より、上記のシミュレーション条件での最適な時定数は約 $1 \mu\text{s}$ である。また、記憶想起にかかる時間は、この時定数と同程度のオーダになる³⁾。

次に、(24) 式を数値的に解くことで、CDMA Hopfield ネットワークの連想記憶シミュレーションを行った。100 個のニューロン ($N = 100$) を持つネットワークに 10 種類のランダムパターンを記憶させた場合と、30 種類のランダムパターンを記憶させた場合についてシミュレーションを行った。シグモイド型の伝達関数を持つ CDMA Hopfield ネットワークと、非単調な伝達関数を持つ CDMA Hopfield ネットワークの両方についてシミュレーションを行った。ネットワークには記憶パターン中の 20 個のビットを反転したノイズパターンを初期値として与えた。それぞれの記憶パターン毎に 50 個のノイズパターンを生成し、初期値として与えた。電源電圧を $V_{DD} = 2.5 \text{ V}$ 、 $V_{SS} = -2.5 \text{ V}$ とした。非単調な伝達関数 $F(x)$ の閾電圧 V_θ を 1 V に設定した。バイアス電圧 V_a, V_b, V_c は、 $V_b = V_c = -1 \text{ V}$ 、 $V_a = 0 \text{ V}$ とした。回路シミュレーションにより、 $\alpha, \beta, R, C, C_b, R_s$ を決定する。以下、MOSIS AMIS のプロセスを使用するとしてシミュレーションを行う。回路シミュレーションにより求めた α, β の典型値は $\alpha = 2.25 \times 10^{-5} \text{ A/V}$ 、 $\beta = 0.3 \times 10^{-5} \text{ A/V}^2$ であった。また、水平抵抗回路の抵抗値は約 $1 \text{ G}\Omega$ であった。したがって、 $\tau = 1 \mu\text{s}$ の場合、 $\tau = CR$ より $C = 1 \text{ fF}$ となる。また、ギルバート乗算器のダイナミックレンジが約 $\pm 0.5 \text{ V}$ であることから、 $C_b = 9NC_n$ と決定した。抵抗 R_s は、 $J_{ij} = V_{Jij}$ となるように決定した。ニューロン数 $N = 100$ の場合、 R_s は約 $7.4 \text{ k}\Omega$ となる。これらの値を代入し、(25) 式に従って変換すると、(24) 式は (9) 式と

等価になる．10 種類のランダムパターンを記憶させた場合の結果を表 1, 30 種類のランダムパターンを記憶させた場合の結果を表 2 に示す．この表の横軸は，初期パターンがどの記憶パターンを元にしたノイズパターンであるかを表し，縦軸はどの記憶パターンが想起されたかを表す．記憶が想起された（想起パターンが記憶パターンと完全に一致した）回数を表に示した．

10 パターンを記憶させた非単調 CDMA Hopfield ネットワークではすべての記憶パターンが想起された [表 1(b)]，シグモイド型 CDMA Hopfield ネットワークでは試行回数 500 回のうち 496 回 (99.2%) 正しい記憶を想起した [表 1(a)]．30 パターンを記憶させた非単調 CDMA Hopfield ネットワーク ($P/N = 0.3$) では試行回数 1500 回のうち 1351 回 (90.1%) 正しい記憶を想起した [表 2(b)]．一方，シグモイド型 CDMA Hopfield ネットワークでは 1500 回のうち 20 回 (1.33%) 正しい記憶を想起した [表 2(a)]．CDMA の導入が Hopfield ネットワークに与える影響は，ニューロンが受け取る信号に含まれるノイズとしてあらわれる (図 8)．シミュレーション結果から，入力にノイズが含まれているにもかかわらず，非単調伝達関数の導入による記憶容量の増加を確認できた．

次に，3 章 1 節で議論した，TDMA を用いた場合と CDMA を用いた場合における連想記憶センサの性能について比較を行う．TDMA を用いた非単調 Hopfield ネットワーク (記憶パターン数 30) について，連想記憶実験を行った．TDMA での一つのニューロンの通信にかかる時間 T_s と CDMA での乱数列の平均変化時間 T_c を $T_s = T_c$ とした．試行回数 1500 回のうち 9 回 (0.6%) 正しい記憶を想起した．すなわち， $T_s = T_c$ の場合，TDMA を用いたネットワークでは，非単調伝達関数を用いることによる記憶容量の増加，偽記憶の抑制の効果は見られなかった．TDMA を用いた場合，記憶容量の増加，偽記憶の抑制の効果を得るには，ニューロンの時定数をより長くすることが必要であり，記憶の想起にかかる時間が CDMA の場合に比べて長くなる．

4.2 回路中のノイズが記憶想起能力に与える影響

回路中のノイズによる復調エラーがイメージセンサの記憶想起能力に与える影響を調べる．回路中にノイズが存在する場合，CDMA の復調の際に発生する主なエラーは，伝送中 (共通バス中) のノイズによるエラー，DEMUX 回路中の素子のばらつきによるエラーである．本稿では，差動の DEMUX 回路を使用しているため，コモンモードノイズはほぼキャンセルされる．そのため，主なエラー源となるノイズは DEMUX 回路中の素子 (MOS FET) の特性がばらつくことによるノイズである．素子特性のばらつきは，差動回路のオフセット電圧のばらつきとして表れる．そこで，オフセット電圧のばらつきを考慮に入れた連想記憶シミュレーションを行い，回路中のノイズが記憶想起能力に与える影響を調べる．まず，DEMUX 回路中の MOS

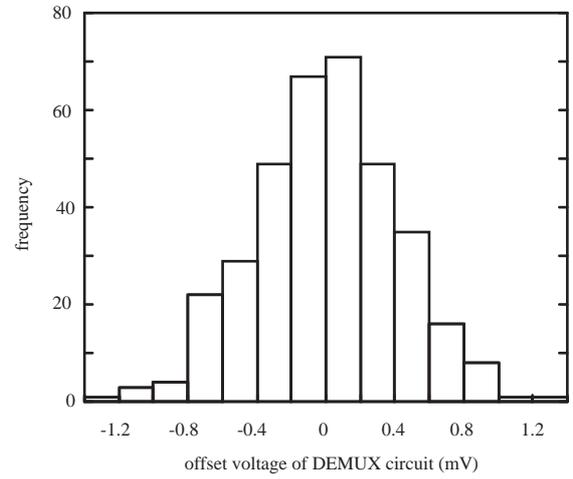


図 9 DEMUX 回路のオフセット電圧の分布
Distribution of offset voltage of DEMUX circuit.

FET の特性をばらつかせて，DEMUX 回路のオフセット電圧の分布を求める．電子回路シミュレータ HSPICE を用いて，図 5(a) の回路についてモンテカルロシミュレーションを行った．この際，それぞれの MOS FET の閾値をガウス分布 (標準偏差 $\sigma = 1$ mV, nMOS FET の場合: 平均 $\mu = 0.52$ V, pMOS FET の場合: 平均 $\mu = -0.85$ V) に従ってばらつかせた．DEMUX 回路のオフセット電圧の平均が 0 になるように回路を設計した．DEMUX 回路のオフセット電圧の分布を図 9 に示す．結果から，DEMUX 回路のオフセットは標準偏差 $\sigma = 0.63$ mV, 平均 $\mu = 0$ V のガウス分布に従う．

このオフセットを (24) 式に代入すると，回路のダイナミクスは

$$C \frac{dV_{ui}}{dt} = -\frac{1}{R} V_{ui} + 2\alpha\beta R_s \sum_{j=1}^N V_{Jij} c_j \left(\frac{C_n}{N C_n + C_b} \sum_{k=1}^N c_k F(V_{uk}) - V_{offi} \right) \quad (28)$$

となる．ここで， V_{offi} はニューロン i の DEMUX 回路のオフセットである．前に求めた， $\alpha, \beta, R, C, C_b, R_s$ の値を代入し，(25) 式に従って変換すると，回路のダイナミクスは，

$$\tau \dot{u}_i = -u_i + W_i \sum_{j=1}^N c_j \left(f(u_j) - 10N \frac{V_{offi}}{V_{DD}} \right) \quad (29)$$

となる．ここで，閾値以外の回路パラメータは前節の連想記憶実験と同じに設定した．(29) 式を数値的に解くことで，ノイズが存在する場合の CDMA Hopfield ネットワークの連想記憶シミュレーションを行った．ネットワークには記憶パターン中の 20 個のビットを反転したノイズパターンを初期値として与えた．それぞれの記憶パターン毎に 50 個のノイズパターンを生成し，初期値として与えた．非単調な伝達関数の閾値 θ を 0.4 に設定した．ニューロン数の増加が記憶想起能力に与える影響を調べるために N を変化させて

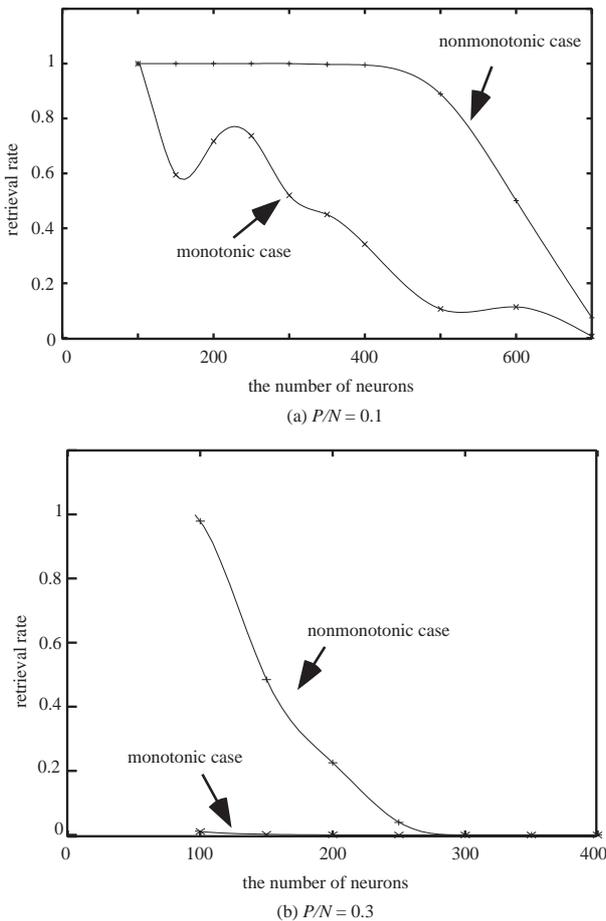


図 10 ニューロン数の増加による想起率の変化; (a) $P/N = 0.1$ の場合; (b) $P/N = 0.3$ の場合
Change of retrieval rate for the number of neurons; (a) $P/N = 0.1$; (b) $P/N = 0.3$.

シミュレーションを行った。シグモイド型のネットワークと非単調ネットワーク両方に対してシミュレーションを行った。また、それぞれのネットワークに対し、 $P/N = 0.1$, $P/N = 0.3$ の場合のシミュレーションを行った。図 10(a) に $P/N = 0.1$, 図 10(b) に $P/N = 0.3$ の場合のシミュレーションの結果を示す。横軸はニューロン数、縦軸は記憶パターンが正しく想起された割合（想起率）を示す。図中の実線が非単調ネットワークの結果、破線がシグモイド型ネットワークの結果を示す。回路にばらつきがある場合、CDMA Hopfield ネットワークではニューロン数が増えると、記憶想起能力が低下する。しかし、この場合でも非単調伝達関数導入による記憶容量の増加を確認できた。

4.3 CDMA Hopfield ネットワークのローカルフィールド

超想起相の確認のためのシミュレーションを行った。超想起相では、(4) 式に示したニューロンの入力（ローカルフィールド）から雑音項が消失してその分散が 0 になる。つまり、記憶パターン間の雑音による想起エラーがなくなる³⁾。数値シミュレーションにより、平衡状態における入力の分布を調べた。従来の Hopfield ネットワークと CDMA

Hopfield ネットワークの両方についてシミュレーションを行った。また、それぞれのネットワークにおいて、シグモイド型と非単調型の両方の伝達関数を用いた。なお、非単調関数の閾値 θ は 0.4 とした。

図 11 に平衡状態におけるニューロンの入力分布を示す（横軸は入力大きさ、縦軸はその入力を受けているニューロンの個数を規格化したもの）。すでに文献³⁾で述べられているように、通常の（CDMA を用いない）Hopfield ネットワークでは、非単調な伝達関数を用いた場合のみ入力の分散が 0 となり、ノイズが消失する [図 11(b)]。CDMA Hopfield ネットワークでは、シグモイド型と非単調型ともにノイズは消失（分散 $\neq 0$ ）しなかった [図 11(c, d)]。すなわち、CDMA ネットワークでは、通常の非単調ネットと同じ条件下でも、超想起相が存在しない。この原因は、入力に含まれる CDMA のノイズ（M 系列のノイズ）にある。なぜなら、超想起相は結合の破壊に対して構造不安定であり¹⁶⁾、復調時に発生する CDMA のノイズが結合重みに乗ることで、超想起相の占める領域が狭くなるからである。この超想起相の消失は別としても、この CDMA 非単調ネットワークが持つ高い想起能力は、連想記憶イメージセンサを開発する上で有用である。

5. む す び

連想記憶を行うイメージセンサのアーキテクチャについて考察した。まず、画素数の増加による処理（想起）速度の低下を避けるために、連想記憶モデルとして Hopfield ニューラルネットを採用した。ここでは、高い記憶容量を有する「非単調な応答特性を持つ Hopfield ニューラルネット」を採用した。次に、チップ上のニューロン（画素に相当）の並びを 2 次元状にして 2 次元画像を取込むために、ニューロン出力の多重化方式について検討した。ここでは、高い記憶容量を有し、かつチップ上に多数のニューロンを搭載するための多重化方式として CDMA を選んだ。さらに、非単調 CDMA ニューラルネットの具体的な回路を提案した。集積度の向上を目指して、CDMA 通信部に必要な乱数発生器を除き、回路をすべてアナログで構成した。また、バス上のコモンモードノイズをキャンセルするため、回路を差動で構成した。さらに、チップに搭載可能な画素サイズの見積もりを行った。0.6- μm CMOS プロセスを仮定した場合、1 cm \times 1 cm のチップ上に 340 個のニューロン回路（画素）を搭載できることがわかった。次に、提案した非単調 CDMA Hopfield ネットワークの記憶想起能力をシミュレーションにより調べた。CDMA を用いた場合でも、このネットワークが高い記憶容量（記憶パターン数/ニューロン数 ≈ 0.3 ）を有することがわかった。さらに、回路の素子特性のばらつきを考慮して、CDMA Hopfield ネットワークの連想記憶シミュレーションを行った。回路のばらつきに起因するノイズがある場合でも、非単調伝達関数を用いることで記憶容量が増加することがわかった。また、非単調

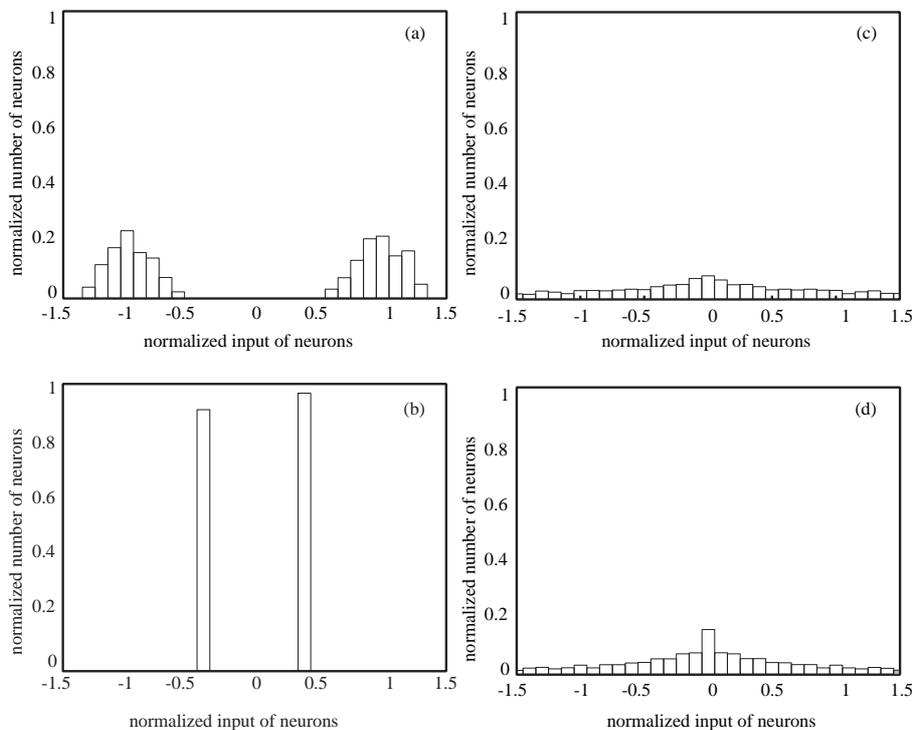


図 11 平衡状態におけるニューロンの入力分布
Distribution of neuron's localfield (input) at equilibrium.

CDMA Hopfield ネットワークのローカルフィールドを調べることで、非単調ネットワークの特徴の一つである超想起相の確認のためのシミュレーションを行った。その結果、超想起相（エラーなく記憶を想起できる）は存在しないことを確認した。これは、各ニューロンへの入力に CDMA のノイズ（伝送エラー）が加わることが原因であった。

既存のビジョンチップと比較すると、このアーキテクチャで搭載できるニューロン（画素）数は極めて少ないものである。しかし、チップ面積を犠牲にすることで、現在のビジョンチップではできない高次の視覚処理（連想記憶）を行う、という限られたケースでは、この結果は非現実的なものではない。また、WPC アーキテクチャ⁷⁾⁸⁾等に代表されるアーキテクチャレベルの進展、および今後の CMOS プロセス・回路技術の展開が、より現実的な高次視覚チップの開発を促進させるだろう。

本研究の一部は、(財)カシオ科学振興財団の平成 14 年度研究助成「符号分割多元接続 (CDMA) 方式によるホップフィールド連想メモリの開発」の一環として実施されたものである。

〔文 献〕

- 1) 中川 聖一 著, パターン情報処理, 丸善 (1999)
- 2) M. Verleysen and P. Jaspers : "An analog VLSI implementation of Hopfield's neural network," *IEEE Micro.*, pp. 46-55 (1989)
- 3) M. Shiino and T. Fukai : "Self-consistent signal-to-noise analysis of the statistical behavior of analog neural networks and enhancement of the storage capacity," *Phys. Rev. E*, **48**, pp. 867-897 (1993)
- 4) M. Morita : "Associative memory with nonmonotone dynamics," *Neural Networks*, **6**, pp. 115-126 (1993)
- 5) H. Kakeya and T. Kindo : "Eigenspace separation of autocorrela-

- tion memory matrices for capacity expansion," *Neural Networks*, **10**, pp. 833-843 (1997)
- 6) 吉村 隆治, T. BoonKeat, 小川 徹, 谷口 研二 : "CDMA 方式を用いた有線通信インターフェース," *信学論*, **J82-C-II**, no. 11, pp. 631-636 (1999)
- 7) 弓仲 康史, 佐々木 義智 : "直行系列に基づくウェーブパラレルコンピュータシステム," *信学論*, **J81-D-I**, 2, pp. 133-142 (1998)
- 8) Y. Yuminaka, K. Itoh, Y. Sasaki, T. Aoki, T. Higuchi : "A code-division multiplexing technique for efficient data transmission in VLSI systems," *IEICE Trans. Electron.*, **E82-C**, 9, pp. 1669-1677 (1999)
- 9) J. J. Hopfield : "Neural networks and physical systems with emergent collective computational abilities," in *Proc. Nat. Acad. Sci. U.S.*, **79**, pp. 2554-2558 (1982)
- 10) D. J. Amit, H. Gutfreund, and H. Sompolinsky : "Storing infinite number of patterns in a spin-glass model of neural networks," *Phys. Rev. Lett.*, **55**, pp. 1530-1533 (1985)
- 11) M. Shiino and T. Fukai : "Replica-symmetric theory of the nonlinear analogue neural networks," *J. Phys. A : Math. Gen.*, **23**, pp. L1009-L1017 (1990)
- 12) B.K. Tan, R. Yoshimura, T. Matsuoka, and K. Taniguchi : "Dynamically programmable parallel processor (DPPP): A novel reconfigurable architecture with simple program interface," *IEICE Trans. Inf. & Syst.*, **E84-D**, 11, pp. 1521-1527 (2001)
- 13) C. Mead, *Analog VLSI and Neural Systems*, Addison Wesley, New York (1989)
- 14) S.-C. Liu, J. Kramer, G. Indiveri, T. Belbrück, and R. Douglas, *Analog VLSI: circuits and principles*, MIT Press, London (2002)
- 15) K. Hosono, K. Tsuji, K. Shibao, E. IO, H. Yonezu, N. Ohshima, and K. Pak : "Fundamental device and circuits for synaptic connections in self-organizing neural networks," *IEICE Trans. Electron.*, **E79-C**, 4, pp. 560-567 (1996)
- 16) M. Okada, M. Shiino and T. Fukai, "Random and systematic dilutions of synaptic connections in a neural network with a non-monotonic response function," *Phys. Rev. E*, **57**, pp. 2095-2103 (1998)



かなざわ ゆうすけ
金澤 雄亮 2002年、北海道大学工学部電子工学科卒業。現在、同大学大学院工学研究科修士課程に在学中。ニューラルネットワークのハードウェア化に関する研究に従事。



あさい てつや
浅井 哲也 1999年、豊橋技術科学大学大学院工学研究科博士課程修了。工学博士。同年、北海道大学大学院工学研究科助手。2001年、同研究科助教授。現在に至る。現在の専門分野は、ニューラルネットワーク、アナログ集積回路、生体様イメージセンサ、インテリジェントセンサ集積回路、量子デバイス回路。



あめみや よしと
雨宮 好仁 1975年、東京工業大学理工学研究科博士課程修了。工学博士。同年、日本電信電話公社、1987年、NTT LSI研究所、1993年、北海道大学工学研究科教授。研究分野は集積回路、機能電子回路、量子デバイス回路、および自然界や生体で生じる機能現象の背景にあるメカニズムを動作原理として情報処理を行う新しい集積回路。