

解 説

情報・神経科学とものづくりの学際融合による
人工知能ハードウェア

浅井 哲也

北海道大学大学院情報科学研究科*

Hardware Artificial Intelligence Driven by Interdisciplinary Fusion of
Information Science, Neuroscience and Manufacturing

Tetsuya Asai

Graduate School of Information Science and Technology, Hokkaido University*

概要

日本特有のものづくりの強み・原点に立ち返り、ものづくり固有の強い動機に突き動かされて研究者・エンジニアが我を忘れて没頭できるような「情報科学とものづくりの融合型 AI (人工知能) 研究」の推進に向けた筆者の最近の考えを述べる。できることならば、AI・脳機能に最適・本当に必要な脳型基本デバイス (現在の CMOS スイッチ・メモリ素子に相当する新たな基本デバイス) を構築し、それを利活用する AI 情報科学と材料・デバイス、および両者の橋渡しをするアーキテクチャ研究により多様な AI イノベーションを創出したい。それができれば、約 30 年後と言われる AI のシンギュラリティ (技術的特異点) への到達を加速する日本発祥の人工知能研究の源流をつくれるかもしれない。

1. 背 景

AI (人工知能) 研究は、その新規価値・応用を生み出すモデル・学習アルゴリズム研究が常に先導権を持っており、それに演算加速ハードウェア・アクセラレータ研究開発が追従している¹⁾。国内では、モデル・学習アルゴリズム研究とハードウェアの研究が独立しがちであり、両者の連携は欧米ほど強くない。現在の AI ハードウェアは脳型というより計算機そのものであり、近年はその演算効率を重視する傾向が非常に強い。よって、AI の新機能開拓指向であると強くは言えないのが現状である。

工学応用を設定しづらい脳科学・計算神経科学と、将来のアイデア枯渇を危惧する AI の融合による、より人間らしい AI の研究開発へ向けた融合研究も始まっている^{2,3)}。脳科学・計算神経科学の知見をもとに脳構造をなるべく忠実に半導体デバイス上に構築するニューロモルフィックハードウェア研究⁴⁾は、要素・科学指向で未来形がまだ見えにくい、脳科学と AI の融合により今後ニューロモルフィックハードウェアが急激に発展する可能性がある。一方、AI ハードウェアにお

ける CMOS と非 CMOS (新概念デバイス・材料) の方向性の差が近年顕著化している。CMOS は効率を重視、非 CMOS はデバイス・材料固有の機能を重視する傾向が強い。両者の唯一の共通項は不揮発アナログメモリに関する研究開発であるが、AI の理想演算構造体が決まらなると、本来融合すべき両者の方向乖離は今後も続くと考えられる。

日本はものづくり大国であり、特に半導体集積デバイス・材料分野の国際的競争力が高い。しかしこれまで、それらデバイス・材料が生きる新規コンピューティングモデルやそのアーキテクチャがなかなか見つからなかった。その苦悩の遍歴が 2011 年以降の国際半導体ロードマップ (ITRS) の報告書⁵⁾に綴られている。従前のアルゴリズム処理とノイマン型アーキテクチャにおいては、総合的に考えると CMOS を凌駕するデバイスは当面出ないだろう。そのような中、アルゴリズム処理に代わる新規コンピューティングモデルとして AI が近年台頭してきたが、そのアーキテクチャはまだ基本的にはノイマン型またはその延長上にある。つまりそのハードウェアは CMOS の独壇場であり、日本の強みである新デバイス・材料が AI ハードウェアに入る余地は (不揮発メモリを除き) 本質的にはほぼな

* 〒 060-0814 北海道札幌市北区北 14 条西 9 丁目

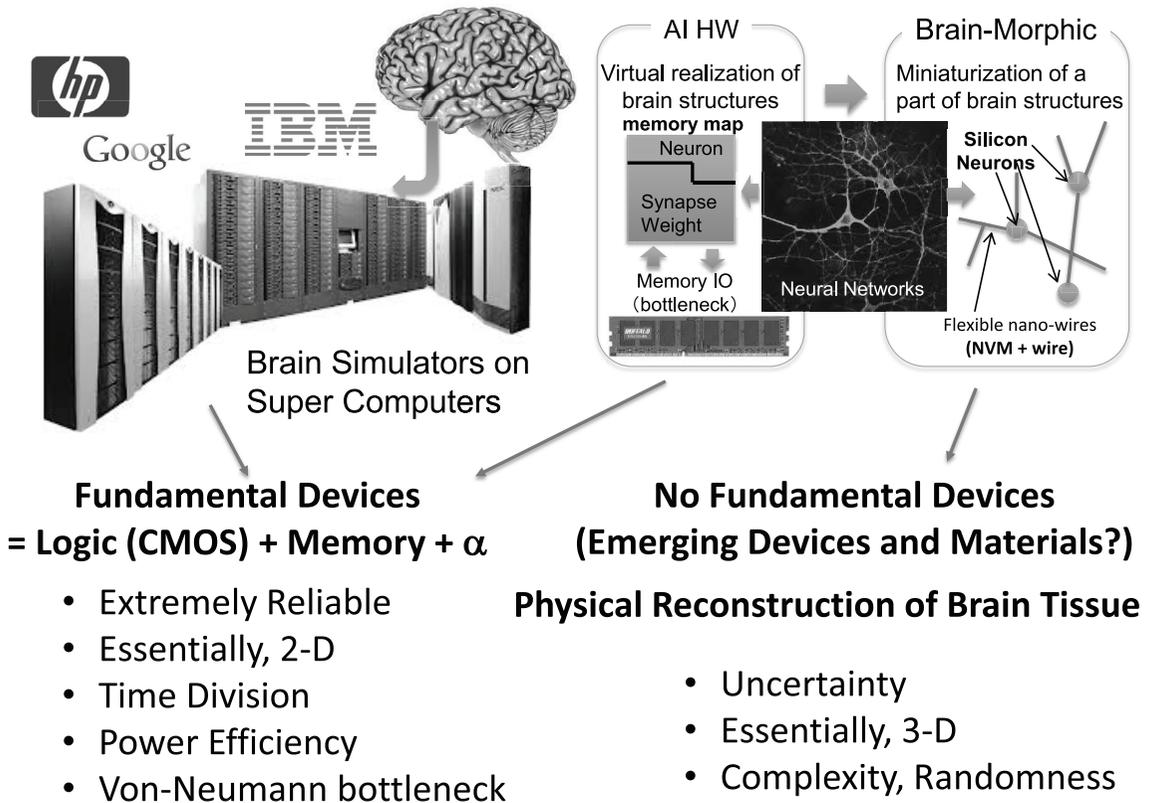


図1 AIのハードウェア（左）とニューロモルフィックハードウェア（右）の立ち位置。

さそうだ(図1左)^{f1}。一方、本来の脳構造を扱う計算神経科学・工学の視点では、脳のリバースエンジニアリング^{f2}とその制御を目的としたマイクロサーキット相当の知能構造体を創ろうとしたとき、CMOSは明らかに性能過剰かつ次元不対応な面デバイスである。精度・速度よりも、強い非線形・ゆらぎを持つ素子や可

塑性を持つ新材料、およびそれらの密結合デバイスに関する研究のほうが明らかに重要(図1右)であることが広く認識されている。CMOSと比較していいかげんな素子・結線でも十分であるが、可塑性を持つ非線形密結合体(それも面ではなく立方体)、およびそれを外から制御するしくみの構築が重要となっている。

残念ながら、これら半導体集積デバイス・材料を組み合わせさせて利活用するシステム・情報分野は欧米にリードを奪われ、さらに引き離されつつある。そのため、日本ではシステム・情報分野のAI研究に投資が集中している。他国、主に欧米では、情報とものづくりが連携してAI研究が進んでいるが、日本では得意なはずのものづくりを活かしたAI研究が停滞・縮小傾向にある。そのため、上述した動向において、必要でありながらも明らかに欠落している「AIの革新的応用発展を加速するハードウェア」の研究開発が重要であると考えている。以下にその具体例を三つ示す。

まず、AIと脳科学ベースのハードウェアの融合による出口指向のAI研究が重要である。僭越ながら拙著を引用して例を挙げると、近年のAIハードウェア(回

^{f1} コンピュータとしてのAIには、現状ではCMOSと不揮発メモリ素子が最適なデバイスであり、関連研究は今後も間違いなく発展し成功を収めるだろう。しかし、現状のままでは既存CMOS技術に強く依存した脳型半導体デバイス開発の流れが加速され、その結果、面積効率、電力効率、発熱などの問題が浮き彫りとなる。

^{f2} 脳のリバースエンジニアリングにおける階層：近年脚光を浴びている脳の砂山・雪崩モデル^{6,7)}やレザパー仮説⁸⁻¹⁰⁾によれば、少なくとも脳のマイクロサーキットレベルでは、単純な統計的物理法則(べき則)に従うイベント(パルス)伝搬ネットワークと、強い非線形性を持つ素子とその密結合による超複雑時空間ダイナミクスの生成こそが脳の基本要素なのかもしれない。つまりこれこそが優先的に創るべき最下層のモノであって、それらマイクロサーキットの組み合わせ・学習制御を一つ上の階層で考えるべきだ。

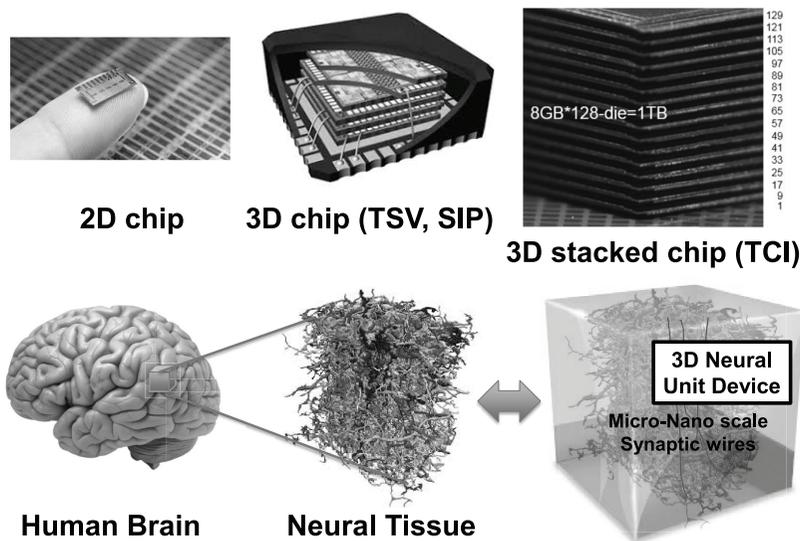


図2 三次元デバイス：現行の面チップ積層技術（上）と脳型三次元集積体のイメージ（下）。

路・システム系：深層学習アクセラレータ^{11~15}，およびデバイス系：不揮発メモリ・メモリスタとそれを用いた積和演算デバイス・回路^{16, 17}等）と，ニューロモルフィックハードウェア^{18~26}，およびそれらを融合させた研究^{27, 28}が重要であろう．工学ベースのAIアルゴリズムに神経系の常識（シナプス極性の不変性，スパイク，ゆらぎなど，ニューロモルフィックハードウェアが得意とする性質・機能）を取り込むことで，本当の脳構造とは似ても似つかない構造に進化してしまった現代のAIハードウェアの原点への回帰と，それによる高機能（知能）化とその応用加速を目指すべきである．

次いで，CMOSと非CMOS（新材料・デバイス）の融合による革新的ハードウェアに関する研究が重要となる．脳と現代の計算機（その構成要素である半導体チップ）の決定的な違いは，主体となる計算構造体の次元と演算粒度である．デジタルCMOSは，基本的には面上またはその延長構造上（図2上）で脳の三次元演算構造体を時分割表現し，しかも物理的なゆらぎの要素を完全に排除している．スケーリング可能な半導体集積回路の物理的制約により現在のアーキテクチャが決まっていると言っても過言ではない．そのため，CMOS脳型計算機・AIデバイスを補うものとして，機能や精度は粗くてもよいので脳と同じく三次元集積化できる（見込みのある）粗粒度の脳型材料・デバイスの実現が重要であると考えている（図2下）．再び拙著を引用して例を挙げると，素子バラツキやゆら

ぎを活用する脳型分子・量子^{29~35}・CMOSデバイス^{36~44}）構築，CMOS併用で機能学習を行う三次元インメモリ計算材料（CNTや伝導性高分子ポリマーなど）の構築など^{45~48}が今後重要になるだろう．

また，ハードウェアによるAIの持続的新価値創出・革新的応用開拓に関する研究^{49, 50}も極めて重要であると考えている．「計算機の外的世界・生活空間」を意識したAIハードウェア応用研究とその普及・アウトリーチ活動である．AIの応用研究に計算機とアクセラレータ以外のハードウェア研究は不要という意見もあるが，そのようなAI研究のみでは新規応用を創り出す思考が計算機の外に向かない（視野が大幅に限られてしまう）と考える．ユーザに身近なAIハードウェアを実現できればAIの新価値創出機会は飛躍的に拡大する．そのための民生向けハードウェア，およびそれらを活用してユーザが斬新なアイデアを出し続けるための技術・インフラシステムの構築もまた重要な研究開発である．

2. 情報科学とものづくりの融合研究

ものづくりを活かした日本のAI研究が停滞・縮小傾向にある問題の解決策はあるのだろうか？ その策を探るために，図3左に示すような情報処理の全階層（算法・アプリから材料・物性まで）を見わたしながら，現代の計算機の遍歴を辿ってみよう．フォン・ノイマンが提唱した計算機アーキテクチャは，回路やデバイスに対する要求が極めて明白であった．そのアーキテク

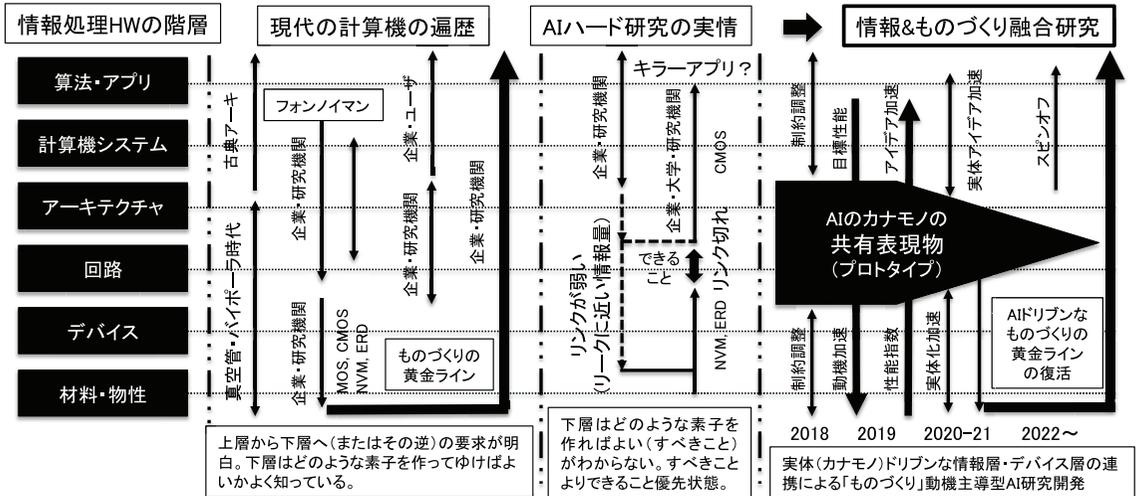


図3 情報科学とものづくりの階層。

チャ実現にあたり必要な機能は論理スイッチ（ロジック）とメモリであり，それら単純機能の性能向上がいかに重要であるかを，ものづくりを支える層（材料・物性～回路まで）の研究者はよく理解できている．その結果，情報処理の全階層が相互にうまく機能する「ものづくりの黄金ライン」が形成できている．一方，現在のAIハードウェア研究においては，図3の階層における上層（アルゴリズム・アプリ）～中間層（アーキテクチャ・回路）間は相互連携できているものの，中間層から下層（材料・物性～デバイス）へはリークに近い情報しか流れていない．つまり，下層はどのような素子を作ればよいか明白な目標を持たず，結果としてAIハードウェアに向けて「本当にすべき研究」よりも「今できる研究」を優先しているように思える（演算素子の精度向上や不揮発メモリの性能向上など，脳が本質的に必要としていない性能を追求しようとしている）．その結果，それらの成果・知見が中間層～上層にうまくフィードバックされず，このままでは全階層が相互にうまく機能するものづくりの黄金ラインは形成できそうにない．各階層における問題・可能性の本質を掴み，各階層（組織）間の意思疎通・相互の研究動機を加速させながら，脳型基本デバイスにより日本発祥の人工知能研究の源流を創る必要があると筆者は考えるが，それができる道はあるだろうか？ その可能性・方法を以下の節で考えてみよう．

2.1 ものづくりの精神・動機加速のための「情報科学とものづくりの共有表現物」

ものづくりの原点は実体のあるカナモノ（ハードウェア）

ア）にある．最初は何のカナモノも機能・性能は低いものであるが，その未来がわかりやすく描けていれば，その改善に立ち向かう日本の研究力は他国を凌駕することは想像に容易い．情報科学とものづくりの融合型AI研究においては，図4の例に示すような，荒削りでもよいので作るべき構造のカナモノ（情報科学層とものづくり層の間で共通の共通表現物）をできるだけ早い段階で構築しておくべきである．脳を創ろうというのだから，人工神経素子とその密結合による三次元・または疑似三次元集積体がこの共通表現物となる．巨大かつ性能も低いカナモノが，集積できればこんなに小さく速く賢くなり既存技術を凌駕する，と思わせる魅力的なプロトタイプを創り，それを情報/回路とシステム/デバイス/材料・物性の異なる分野からの視点で吟味し合い機能化してゆく，さらにそれを広く世界に浸透させてゆくことこそが，価値あるハードウェアAI研究の源流を作る上で最も重要であろう．

2.2 情報科学とものづくり研究の再帰的ループ

国内の多くの研究機関において，研究者がAIの新価値創出のために割く時間は，欧米と比べて圧倒的に少ないと言われていた．傍から見るとしばしば遊んでいるようにも見えるAIの応用開拓研究は，真面目で勤勉な日本の研究者・エンジニアには向かないのかもしれない．自転車や楽器，おもちゃ等，一見不要と思われるモノに囲まれた遊び心のあるオフィスは，日本では未だ不謹慎に見えてしまうのだ．

ものづくり能力を活かしたハードウェアAIの新価値創出のためには，遊び心と余裕を持ちつつ，全体と

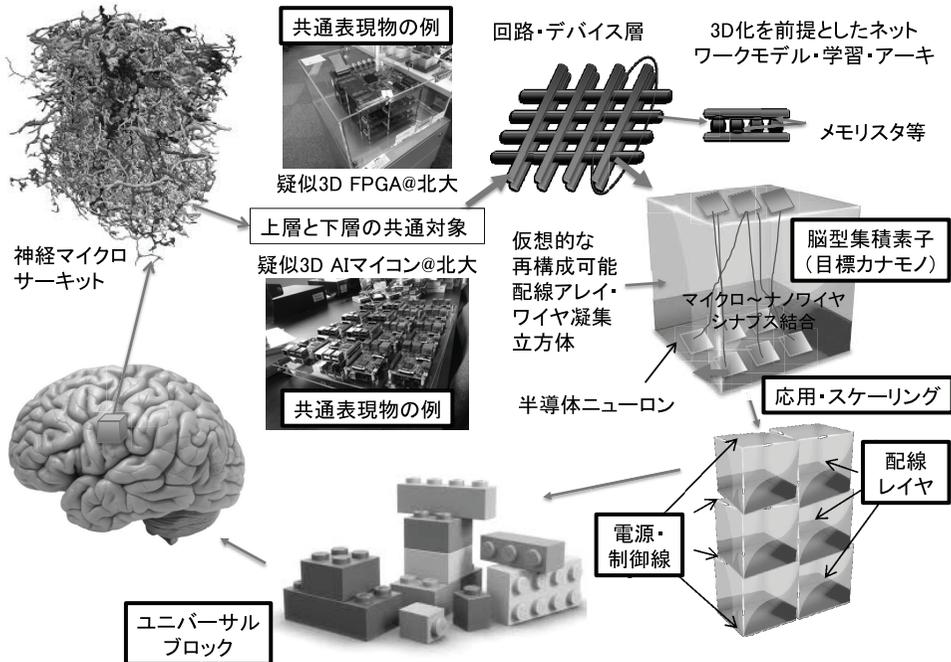


図4 情報科学とものづくり研究の再帰的ループの例。

して目指すハードウェアの制約・利点・価値を強く意識した「情報にかた寄りすぎない」先導研究が極めて重要と考える。この先導研究グループ（クリエイター集団と言ってもいい）がものづくり研究者層に対して必要な機能や数値を提示し、ものづくり研究者層はその検討とクリエイター層へのフィードバックを行うだけでなく、必要基準が満たされれば自分達で作ろうとしているものが未来をどう変えるのか、それによってものづくり研究者が動機加速のためのビジョンを直に得ることができれば、情報科学とものづくり研究の再帰的ループが働き出し、図3右下に示すようなAIドリブンな「ものづくりの黄金ライン」が徐々に出来上がってゆくはずだ。

筆者は、実物（カナモノ）を手にとって研究者自身で動かしてみない限り、新しいアイデアは決して生まれないと信じている⁴⁾。何より、実物を扱う研究はワクワクするし、モチベーション維持のためのポジティブなエネルギーを与えてくれるのである。このような、「情報科学とものづくりの相互作用」を時限かつ見通しの良いコンパクトな組織で実施することが成功の鍵であろう。

3. 情報科学とものづくり融合研究に向けた挑戦

前述のとおり、ニューロンと軸索・シナプスの密結

合体である「脳型三次元基本デバイス」（現在のCMOSスイッチ・メモリ素子に相当する新たな基本デバイス）の構築が最も重要であると筆者は考えている。できること（CMOS技術の延長）ではなくすべきこと、つまり脳の基本機能を、CMOS/無機だけでなく有機材料・デバイスも視野に脳と同じ三次元構造体で創ることが、情報科学とものづくりの融合研究における最も難しい挑戦となるだろう。そのブレイクスルーを引き起こすためには、まずは現実味のある脳型三次元基本デバイスをアーキテクチャ層（情報処理の中間層）がその上層と下層の両方に提示しなければならない。これは容易なことではないが、近年、深層学習の火付け役となったニューラルネットワーク（Deep Belief Network^{12-14, 51)}）において深い層の学習を可能にする「教師なし事前学習」の考えかたを「ハードウェアの物理制約の教師なし事前学習」に転用することで、アナログ積和演算回路を構成する上での従前の現実的問題（重みの符号の扱い、メモリセレクト素子・セレクト線との制御回路の構成）を完全解決できる見込みが立ってきた⁵²⁾。重み符号だけでなく、重みの空間配置もハードウェアの物理制約として事前学習できる傾向も見られており、これら事前学習（ハードウェア制約を見据えた学習アルゴリズム研究）を通じてハードウェア上の実問題を解決できる（上記ブレイクスルーを引き起

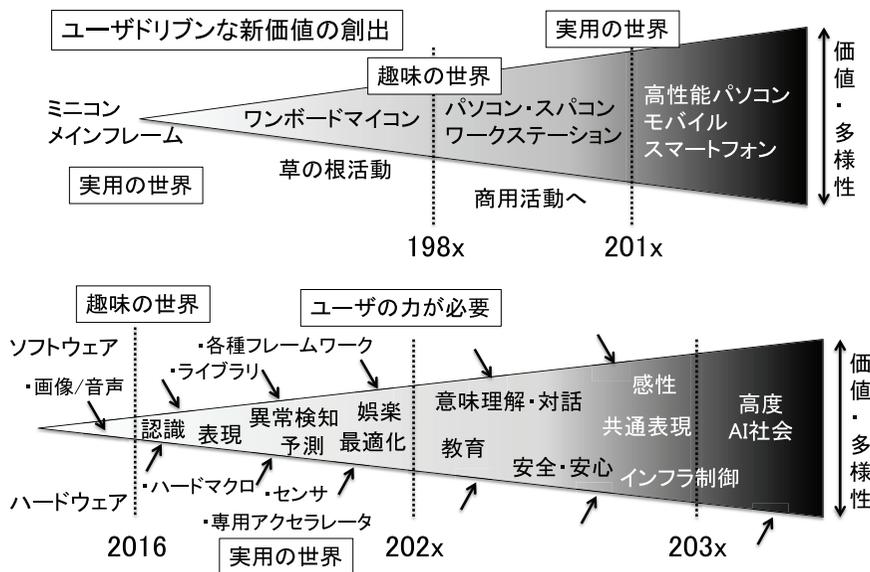


図5 ユーザにより創られる計算機の新価値。(上)現代の計算機の遍歴；(下)今後ユーザにより新価値が創られてゆく AI ハードウェアの予想図。

こせる)可能性が高い。

4. 今後の展望

従前のコンピュータシステム向け材料・デバイス(スイッチング素子・メモリ素子)技術を用いて AI を構成すると、基本的には二次元の異なるデバイス(メモリ・演算器)上で三次元の脳構造の演算を時分割で処理するため、通常のコンピュータシステムが直面している問題(メモリと演算器間のバンド幅・電力問題)に帰着してしまう。よって、「三次元のメモリ・演算器密結合体」を創ること、およびそのスケリング・高機能化のための科学技術、およびそのデバイスを用いたユーザに身近かつ持続的应用展開が見込める AI 技術こそが、価値あるハードウェア AI 研究の源流を作る上で今後ますます重要になるだろう。

脳型三次元基本デバイスがスケリング可能となった場合、そのスケール・神経素子の集積密度・低電力動作の恩恵により、現在主にクラウドサーバ上で稼働している AI がクラウドエッジにも急速に浸透する(エッジ AI が実現できる)可能性が高い。それによって、かつてのコンピュータシステムの革新時期(図5上)と同様の再帰的な新規価値発見・应用展開が見込まれ、現在では考えられないような「とんでもない应用」や良い意味での「クレイジーな発想・应用」が、恐らく数の力・少数の一般ユーザのアイデア・挑戦・失敗がきっかけとなって、爆発的に普及・発展する可能性がある

(図5下)。技術の丁寧な積み重ねによる应用展開とは異なる、数の力による宝探的な技術発展のかたちではあるが、過去のコンピュータシステムの成功の遍歴を俯瞰すると、このような流れ・社会を創ることもまた、AI 研究を持続的发展可能・活性化するために必要であり、その社会的インパクトは小さくはないだろう。

さらに、AI ハードウェアに最適な材料・デバイスの基本技術を押えることは、現行コンピュータシステムのロジック(スイッチング)・メモリデバイスを押えたことと同等またはそれ以上のインパクトがある。ロジックのスイッチング機能・メモリ機能よりも複雑な機能を持つ基本デバイスとなるため、日本の得意分野を活かした(他国に簡単には真似のできない最適化された)競争力の高いデバイス技術への展開が期待できるかもしれない。

5. 結 言

以上、情報科学とのづくりの融合による AI (人工知能) 研究の方向性、およびそれらの可能性のある未来について思うままに論じてみた。

AI は、新メモリ素子・非 CMOS・新規素子にとっての重要な受け皿・チャレンジとなりえる。デジタル CMOS には勝てないが、CMOS がまだ成熟していない AI 領域では勝てる可能性がまだまだありそうだ。現在は新メモリ素子の AI 应用研究が主流であるが、それらは二次元のクロスバー構造を利用する方向で研究

が進められており、残念ながら脳の物理構造とはかけ離れた構造に進化しようとしている。現行 AI ハードウェア技術の進化・発展の方向は、これまでの技術をリセットしない（時代の流れに沿った）当然の選択であるとも言える。一方、ゼロからものづくりをしようとする視点では、リセット・リブートのない進化は異常に見えるかもしれない。現行の流れを止める必要はないが、一旦リセットして本当に必要な技術を再構築（リブート）しなければならない可能性は十分にある。

CMOS 以外の素子を用いてそれを凌駕する演算システムを構築することは簡単ではないが、実はその主要因は、現代のブール代数に基づく計算方式そのものにあるのかもしれない。あまりに便利・完成しすぎていて、わざわざ他の手法を模索せずとも十分に短期・中期的な研究ネタがあちこちに転がっているからだ。もしそうなら、集積デバイス学、回路設計学、システム設計学、計算科学などの分野を横断的に学び研究できる環境を、多くの若手研究者・学生に持続的に提供しない限り、脳型デバイス・アーキテクチャに関する大きなブレークスルーは期待できそうにない。それぞれ個別の学問の専門性・知識を高めるだけでは駄目である。これら問題解決のために、筆者が参画している国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) の関連プロジェクト^{53, 54)}や、デバイス・システム国際ロードマップ委員会 (IRDS⁵⁵⁾、応用物理学会シリコンテクノロジー分科会システムデバイスロードマップ委員会 (SDRJ⁵⁶⁾) 等における今後の議論とリーダーシップの発揮に注力したい。

謝辞

本論文の内容の一部は、国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) の委託事業、文部科学省科学研究費補助金 (20111004, 24360145, 25110015, 代表: 浅井 哲也) の研究助成、および株式会社東芝、株式会社デンソー、株式会社富士通研究所、TDK 株式会社、株式会社フローディア、旧半導体理工学研究センター (STARC) との共同研究・調査の結果得られたものであり、この場を借りて感謝の意を表したい。また、本論文を書く機会を与えて頂いた (さらに、自由奔放に書くことをお許しいただいた) 法政大学の鳥飼弘幸先生、神戸大学の松原崇先生に併せて御礼を申し上げる。

参 考 文 献

- 1) 百瀬啓, 浅井哲也 (2018): Deep learning chips and AI computing, 人工知能学会誌, Vol.33, No.1, pp.23–30.
- 2) 文部科学省科学研究費補助金 新学術領域研究 人工知能と脳科学の対照と融合, <https://goo.gl/FGNXJg>
- 3) 社会課題解決のためのブレインモルフィック AI 社会連携研究部門, <https://goo.gl/Jq6xe1>
- 4) 浅井哲也 (2015): ニューロモルフィック工学・脳型機械学習ハードウェアの行方, 日本神経回路学会誌, Vol.22, No.4, pp.162–169.
- 5) ITRS 2011, <https://goo.gl/5RujbU> (ERD Chapter).
- 6) Beggs, J.M., Plenz, D. (2003): Neuronal avalanches in neocortical circuits, *J. Neuroscience*, Vol.23, No.35, pp.11167–11177.
- 7) Ouellette, J. (2014): Sand pile model of the mind grows in popularity, <https://goo.gl/qTAwjD>
- 8) Enel, P., Procyk, E., Quilodran, R., Dominey, P.F. (2016): Reservoir computing properties of neural dynamics in prefrontal cortex, *PLoS Comput. Biol.*, Vol.12, No.6, e1004967.
- 9) Singer, W., Lazar, A. (2016): Does the cerebral cortex exploit high-dimensional, non-linear dynamics for information processing?, *Front. Comput. Neurosci.*, Vol.10, p.99.
- 10) Rotheneichner, P., Belles, M., Benedetti, B., König, R., Dannehl, D., Kreutzer, C., Zaubmair, P., Engelhardt, M., Aigner, L., Nacher, J., Couillard-Despres, S. (2018): Cellular plasticity in the adult murine piriform cortex: continuous maturation of dormant precursors into excitatory neurons, *Cereb. Cortex.*, Vol.28, No.7, pp.2610–2621.
- 11) Ando, K., Ueyoshi, K., Orimo, K., Yonekawa, H., Sato, S., Nakahara, H., Takamaeda-Yamazaki, S., Ikebe, M., Asai, T., Kuroda, T., Motomura, M. (2018): BRein memory: a single-chip binary/ternary reconfigurable in-memory deep neural network accelerator achieving 1.4TOPS at 0.6 W, *IEEE J. Solid-State Circuits*, Vol.53, No.4, pp.983–994.
- 12) Marukame, T., Ueyoshi, K., Asai, T., Motomura, M., Schmid, A., Suzuki, M., Higashi, Y., Mitani Y. (2017): Error tolerance analysis of deep learning hardware using restricted Boltzmann machine towards low-power memory implementation, *IEEE Trans. Circuits Syst. II*, Vol.64, No.4, pp.462–466.
- 13) Ueyoshi, K., Marukame, T., Asai, T., Motomura, M., Schmid, A. (2016): FPGA implementation of a scalable and highly parallel architecture for restricted Boltzmann machines, *Circuits Syst.*, Vol.7, No.9, pp.2132–2141.
- 14) Ueyoshi, K., Marukame, T., Asai, T.,

- Motomura, M., Schmid, A. (2016): Robustness of hardware-oriented restricted Boltzmann machines in deep belief networks for reliable processing, *NOLTA*, Vol.E7-N, No.3, pp.395–406.
- 15) Mori, M., Itou, T., Ikebe, M., Asai, T., Kuroda, T., Motomura, M. (2014): FPGA-based design for motion-vector estimation exploiting high-speed imaging and its application to motion classification with neural networks, *J. Signal Processing*, Vol.18, No.4, pp.165–168.
- 16) Gong, X., Asai, T., Motomura, M. (2012): Excitable reaction-diffusion media with memristors, *J. Signal Processing*, Vol.16, No.4, pp.283–286.
- 17) Akoh, N., Asai, T., Yanagida, T., Kawai, T., Amemiya, Y. (2010): A behavioral model of unipolar resistive RAMs and its application to HSPICE integration, *IEICE Electron. Express*, Vol.7, No.19, pp.1467–1473.
- 18) Gonzalez-Carabarin, L., Asai, T., Motomura, M. (2012): Impact of noise on spike transmission through serially-connected electrical FitzHugh-Nagumo circuits with subthreshold and suprathreshold interconductances, *J. Signal Processing*, Vol.16, No.6, pp.503–509.
- 19) Utagawa, A., Asai, T., Amemiya, Y. (2011): High-fidelity pulse density modulation in neuromorphic electric circuits utilizing natural heterogeneity, *NOLTA*, Vol.2, No.2, pp.218–225.
- 20) Fujita, D., Asai, T., Amemiya, Y. (2011): A neuromorphic MOS circuit imitating jamming avoidance response of *Eigenmannia*, *NOLTA*, Vol.2, No.2, pp.205–217.
- 21) Tovar, G.M., Asai, T., Hirose, T., Amemiya, Y. (2008): Critical temperature sensor based on oscillatory neuron models, *J. Signal Processing*, Vol.12, No.1, pp.17–24.
- 22) Tovar, G.M., Asai, T., Fujita, D., Amemiya, Y. (2008): Analog MOS circuits implementing a temporal coding neural model, *J. Signal Processing*, Vol.12, No.6, pp.423–432.
- 23) Nakada, K., Asai, T., Hirose, T., Hayashi, H., Amemiya, Y. (2007): A subthreshold CMOS circuit for a piecewise linear neuromorphic oscillator with current-mode low-pass filters, *Neurocomputing*, Vol.71, No.1-3, pp.3–12.
- 24) Utagawa, A., Asai, T., Hirose, T., Amemiya, Y. (2007): An inhibitory neural-network circuit exhibiting noise shaping with subthreshold MOS neuron circuits, *IEICE Trans. Fundamentals*, Vol.E90-A, No.10, pp.2108–2115.
- 25) Hirose, T., Asai, T., Amemiya, Y. (2007): Pulsed neural networks consisting of single-flux-quantum spiking neurons, *Physica C*, Vol.463–465, No.1, pp.1072–1075.
- 26) Fukuda, E.S., Tovar, G.M., Asai, T., Hirose, T., Amemiya, Y. (2007): Neuromorphic CMOS circuits implementing a novel neural segmentation model based on symmetric STDP learning, *J. Signal Processing*, Vol.11, No.6, pp.439–444.
- 27) Hida, I., Takamaeda-Yamazaki, S., Ikebe, M., Motomura, M., Asai, T. (2017): An energy-efficient dynamic branch predictor with a two-clock-cycle naive Bayes classifier for pipelined RISC microprocessors, *NOLTA*, Vol.E8-N, No.3, pp.235–245.
- 28) El-Sankary, K., Asai, T., Kuroda, T., Motomura, M. (2015): Crosstalk rejection in 3D-stacked inter-chip communication with blind source separation, *IEEE Trans. Circuits Syst. II*, Vol.62, No.8, pp.726–730.
- 29) Kasai, S., Asai, T. (2008): Stochastic resonance in Schottky wrap gate-controlled GaAs nanowire field effect transistors and their networks, *Appl. Phys. Express*, Vol.1, No.8, 083001/1.
- 30) Oya, T., Schmid, A., Asai, T., Utagawa, A. (2011): Stochastic resonance in a balanced pair of single-electron boxes, *Fluct. Noise Lett.*, Vol.10, No.3, pp.267–275.
- 31) Kikombo, A.K., Asai, T., Amemiya, Y. (2011): Neuro-morphic circuit architectures employing temporal noises and device fluctuations to improve signal-to-noise ratio in a single-electron pulse-density modulator, *Int. J. Unconv. Comput.*, Vol.7, No.1–2, pp.53–64.
- 32) Kikombo, A.K., Asai, T., Oya, T., Schmid, A., Leblebici, Y., Amemiya, Y. (2009): A neuromorphic single-electron circuit for noise-shaping pulse-density modulation, *Int. J. Nanotechnol. Mol. Comput.*, Vol.1, No.2, pp.80–92.
- 33) Kikombo, A.K., Schmid, A., Asai, T., Leblebici, Y., Amemiya, Y. (2009): A bio-inspired image processor for edge detection with single-electron circuits, *J. Signal Processing*, Vol.13, No.2, pp.133–144.
- 34) Kikombo, A.K., Asai, T., Amemiya, Y. (2009): An elementary neuro-morphic circuit for visual motion detection with single-electron devices based on correlation neural networks, *J. Comput. Theor. Nanos.*, Vol.6, No.1, pp.89–95.
- 35) Oya, T., Asai, T., Amemiya, Y. (2007): Stochastic resonance in an ensemble of single-

- electron neuromorphic devices and its application to competitive neural networks, *Chaos Solitons Fract.*, Vol.32, No.2, pp.855–861.
- 36) Prati, E., Giussani, E., Ferrari, G., Asai, T. (2016): Noise-assisted transmission of spikes in Maeda-Makino artificial neuron arrays, *Int. J. Parallel Emergent Distrib. Syst.*, Vol.32, No.3, pp.278–286.
- 37) Ishimura, K., Schmid, A., Asai, T., Motomura, M. (2016): Stochastic resonance induced by internal noise in a unidirectional network of excitable FitzHugh-Nagumo neurons, *NOLTA*, Vol.7, No.2, pp.164–175.
- 38) Gonzalez-Carabarin, L., Asai, T., Motomura, M. (2014): Application of nonlinear systems for designing low-power logic gates based on stochastic resonance, *NOLTA*, Vol.5, No.4, pp.445–455.
- 39) Gonzalez-Carabarin, L., Asai, T., Motomura, M. (2014): Low-power asynchronous digital pipeline based on mismatch-tolerant logic gates, *IEICE Electron. Express*, Vol.11, No.15, 20140632/1.
- 40) Ishimura, K., Asai, T., Motomura, M. (2013): Chaotic resonance in forced Chua's oscillators, *J. Signal Processing*, Vol.17, No.6, pp.231–238.
- 41) Utagawa, A., Asai, T., Amemiya, Y. (2012): Noise-induced phase synchronization among analog MOS oscillator circuits, *Fluct. Noise Lett.*, Vol.11, No.2, 1250007/1.
- 42) Utagawa, A., Asai, T., Amemiya, Y. (2011): Stochastic resonance in simple analog circuits with a single operational amplifier having a double-well potential, *NOLTA*, Vol.2, No.4, pp.409–416.
- 43) Utagawa, A., Sahashi, T., Asai, T., Amemiya, Y. (2009): Stochastic resonance in an array of locally-coupled McCulloch-Pitts neurons with population heterogeneity, *IEICE Trans. Fundamentals*, Vol.E92-A, No.10, pp.2508–2513.
- 44) Utagawa, A., Asai, T., Hirose, T., Amemiya, Y. (2008): Noise-induced synchronization among sub-RF CMOS analog oscillators for skew-free clock distribution, *IEICE Trans. Fundamentals*, Vol.E91-A, No.9, pp.2475–2481.
- 45) Achararit, P., Hida, I., Marukame, T., Asai, T., Hara-Azumi, Y. (2018): Structural exploration of stochastic neural networks for severely-constrained 3D memristive devices, *NOLTA*, Vol.E9-N, No.4, pp.466–478.
- 46) Tanaka, H., Akai-Kasaya, M., YousefiTermeh, A., Hong, L., Fu, L., Tamukoh, H., Tanaka, D., Asai, T., Ogawa, T. (2018): A molecular neuromorphic network device consisting of single-walled carbon nanotubes complexed with polyoxometalate, *Nature Comm.*, Vol.9, p.2693.
- 47) Akai-Kasaya, M., Tuan, D.N., Asai, T., Yamamoto, S., Saito, A., Kuwahara, Y., (2014): Molecular neuromorphic learning systems consisting of synaptic devices on high-conductive polypyrrole films, *Proc. CMOS Emerging Tech. Research 2014 Symp.*
- 48) Akai-Kasaya, M., Hikita, W., Asai, T., Kuwahara, Y. (2017): On the growing polymer neural networks, *Proc. 9th Int. Conf. Molecular Electr. Bioelectr.*
- 49) 百瀬啓, 肥田格, 浅井哲也 (2018): 学習も推論も!人工知能スタータキット AI Arduino, *トランジスタ技術*, <https://goo.gl/fAPFf9>
- 50) <https://goo.gl/foKF6p>
- 51) Hinton, G.E., Osindero, S., Teh, Y.W. (2006): A fast learning algorithm for deep belief nets, *Neural Computation*, Vol.18, No.7, pp.1527–1554.
- 52) 浅井哲也: 重み符号固定学習装置, 特願 2017-048421 (2017年3月14日), *PCT/JP2018/004786* (2018年2月13日).
- 53) NEDO 高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発, <https://goo.gl/qo4Q8Y>
- 54) NEDO 高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発/次世代コンピューティング技術の開発, <https://goo.gl/iEqLBY>
- 55) <https://irds.ieee.org/>
- 56) <https://www.sdrj.jp/>