

# 極低消費電力/CMOS 品質保証モニタ回路

廣瀬 哲也, 吉村 隆治, 井戸 徹, 松岡 俊匡, 谷口 研二

大阪大学大学院工学研究科電子情報エネルギー工学専攻

## 1 はじめに

日常の我々の生活に関わる多くのもの、食料品や医薬品などにはその品質を保証するために予め慎重な保証期限の設定が行なわれている。しかし、品質の劣化はその保管条件などにより大きく影響を受けるので、予め期限を設定することは、本来適切ではない。例えば、ある製品を低温に保ったまま移送した場合と、温度が大きく変動する環境で移送した場合にはその品質の劣化に隔たりがあることは反応速度定数が温度に強く依存することから直観的に理解できる。

一般に、製造者は、ある一定の保管条件、保管状態を明示し、その元での保証期限を定めるか、最も悪い条件を仮定し保証期限を定めて製品の品質保証を行なっている。前者の場合、保管条件が守られなかった場合には使用期限の意味は失われる。後者の場合、よい条件で保管されて十分に品質が保たれていても一様な賞味期限が設定されているため、製品の劣化がなくても廃棄されてしまう。さらに、温度計を設置し定期的に温度をモニタする方式では、モニタできない環境に製品がおかれた場合や測定データを改竄される場合にはそのデータそのものの信頼性がなくなってしまう。

これらの問題を解決するには、各製品の温度履歴を実際にハードウェア上でモニタすることで可能となる。そこで、我々は、このような製品個々の保証期限を監視するための CMOS 集積回路チップを提案する。提案する回路は、物質の劣化が化学反応式に表されるという事実に基づいている。化学反応の進み具合を累積的に計算することによって物質の劣化をモニタすることが可能となる。

本研究では、CMOS 弱反転電流を用いた極低消費電力アナログ回路を駆使した回路構成により、ボタン電池 (電源電圧  $V_{DD}=1.5V$ ) で動作する極低消費電力劣化モニタチップを提案する。CMOS プロセス集積回路

を用いることにより比較的安価に作ることができ、さらに物質劣化の進行度を監視することにより、個々の製品の保証期限を動的、かつ適切に決定することが可能となる。

## 2 概要

物質の劣化が温度のみに従い、以下の一般的な化学反応式で表されると考える。



ここで、 $A$ ,  $B$  は劣化前の反応物、そして  $C$  は反応によって生成された劣化物を表している。このとき、劣化物  $C$  の濃度変化は次式で表される。

$$\frac{d[C]}{dt} = k[A][B] = [A][B]k_0 \exp\left(-\frac{\Delta E_A}{k_B T(t)}\right) \quad (2)$$

ここで、 $[A]$ ,  $[B]$  は反応物の濃度、 $k$  は反応速度定数、 $k_0$  は反応速度定数係数、 $\Delta E_A$  は活性化エネルギー、 $k_B$  はボルツマン定数、そして  $T(t)$  は絶対温度を表している。この式を積分することにより、劣化物濃度  $[C]$  は次式で表される。

$$[C] = [A]_0[B]_0k_0 \int_0^{t=t_1} \exp\left(-\frac{\Delta E_A}{k_B T(t)}\right) dt \quad (3)$$

ここで、 $[A]_0$ ,  $[B]_0$  は反応物質  $A$ ,  $B$  の初期濃度である。この式から分かる通り、劣化物濃度  $[C]$  は絶対温度  $T(t)$  のみが時間  $t$  に依存し、その温度履歴が製品の劣化に大きく影響を与えることが分かる。

我々は、この劣化物  $[C]$  の活性化エネルギーを MOSFET の弱反転電流を用いて模擬し、その値に応じた電流を累積積分することで劣化量をモニタする回路を提案する。

図 1 に pMOSFET の  $I_D-V_{GS}$  測定結果を示す。測定温度を  $-30 \sim 80^\circ\text{C}$  に変化させている。図 1 より、

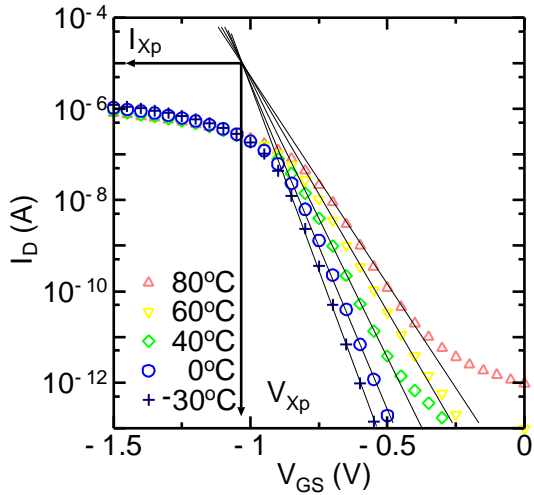


図 1: pMOSFET の  $I_D$ - $V_{GS}$  特性測定結果.  $W/L = 100 \mu\text{m}/100 \mu\text{m}$ .  $V_{DS}=50 \text{ mV}$ .

しきい値電圧以下の弱反転領域におけるドレイン電流  $I_D$  は, 指数関数で近似でき, 以下の式で表せる.

$$I_D = I_X \exp\left(\frac{e(V_{GS} - V_X)}{\eta k_B T}\right) \quad (4)$$

ここで,  $I_X$ , および  $V_X$  は, 図 1 中にも表した通り, 温度に依存しない電流および電圧ポイントである.  $e$  は電気素量,  $\eta$  は酸化膜容量, および空乏層容量に起因するデバイス構造由来の定数である. このような弱反転領域で動作する MOSFET を流れる 2 つの電流  $I_{D1}$ ,  $I_{D2}$  を割り算すれば, 次式の通り活性化エネルギーを模擬したアレニウスの関係式が得られる.

$$\begin{aligned} \frac{I_{D1}}{I_{D2}} &= \exp\left(-\frac{e(V_{GS,2} - V_{GS,1})}{\eta k_B T}\right) \\ &= \exp\left(-\frac{\Delta E}{k_B T}\right) \end{aligned} \quad (5)$$

$$\Delta E = \frac{e(V_{GS,2} - V_{GS,1})}{\eta} \quad (6)$$

ここで, 絶対温度  $T(t)$  が時間のみに依存するとして, 式 (5) を積分すると,

$$\int_0^{t_1} \left(\frac{I_{D1}}{I_{D2}}\right) dt = \int_0^{t_1} \exp\left(-\frac{\Delta E}{k_B T(t)}\right) dt \quad (7)$$

が得られる. 上式より, 弱反転電流  $I_{D1}$ ,  $I_{D2}$  を発生させるゲート電圧  $V_{GS,1}$ ,  $V_{GS,2}$  を一定とすれば, これは式 (3) と同一の式であり, 電流の積分値から物質の劣化量  $[C]$  をモニタすることができる.

### 3 回路構成

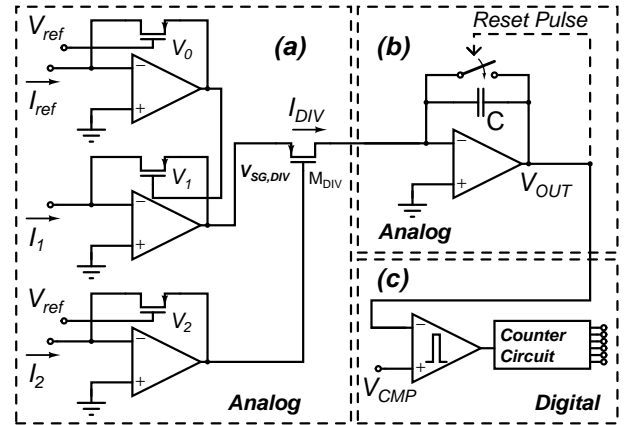


図 2: 回路構成. (a) 割り算回路ブロック, (b) 積分回路ブロック. (c) 比較器, カウンタブロック.

前節で導出した式に基づく物質の劣化量モニタ回路を提案する. 図 2 に回路構成を示す. 式 (4) で表される MOSFET の弱反転領域での電流を割り算し, それを積分して式 (7) を取り出す. しかし電流を割り算した式 (5) は無次元量となるため積分することはできない. そこで, 式 (5) と基準電流  $I_{ref}$  を用いて電流へ変換し, 劣化量を電流値として積分する. 以上のことから, 劣化モニタ回路は割り算回路と積分回路が基本構成要素となることが分かる. ただし, ボタン電池 1 個で 1 年程度動作することを前提とするには全体の消費電力を数  $\mu\text{W}$  程度にまで下げ, しかも温度依存性のない基準電流  $I_{ref}$  を実現することがモニタチップ実用化の鍵となる. 以下では各回路ブロックについて説明する.

#### 3.1 定電流発生回路

本劣化モニタ回路では, 参照とする基準電流  $I_{ref}$  発生回路, およびオペアンプ等のアナログ回路を弱反転領域で動作させるためのバイアス電流発生回路が必要となる. 図 3 に提案する定電流発生回路を示す. この回路は, pMOSFET の各基板端子をソース端子に接続したものをダイオード接続することで温度に対して変化しない定電圧  $V_A$  を発生させ, その電圧をソース側に抵抗を挿入した pMOSFET ( $M_{CUR}$ ) のゲートに印加した構成となっている. 弱反転電流を流すことが前提

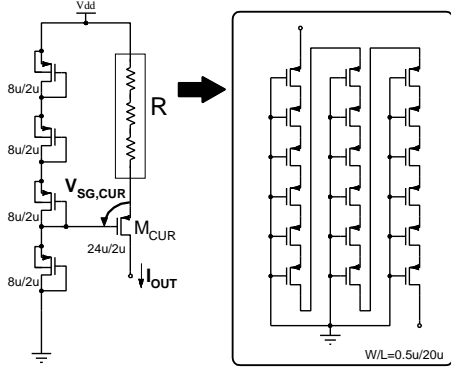


図 3: 定電流源回路.

である本提案回路では抵抗の代わりにゲート電極を接地した強反転線形 MOSFET の直列接続を用いている. この強反転線形 MOSFET の全抵抗を  $R$  とすると発生する電流は,

$$I_D = I_X \exp\left(\frac{e(V_{DD} - I_D R - V_A - V_X)}{\eta_P k_B T}\right) \quad (8)$$

となる. 電流が増大すると  $M_{CUR}$  のゲート・ソース間電圧が小さくなるようにフィードバックがかかり電流の増加を抑制する. また同様に電流が減少すると  $M_{CUR}$  のゲート・ソース間電圧が大きくなるようにフィードバックがかかり, 一定の電流を流すように動作することが分かる. この回路構成により, 温度に対する電流値の変動は  $25^\circ\text{C}$  での電流値に対して,  $-25 \sim 75^\circ\text{C}$  で 1% 以内に抑えることができる. なお, 表 1 に定電流源発生回路のシミュレーション結果を示す.

表 1: 定電流源回路のシミュレーション結果

温度 ( $^\circ\text{C}$ )	-25	0	25	50	75
$I_{OUT}$ (nA)	8.27	8.26	8.26	8.26	8.28

### 3.2 割算回路

アナログ割算回路ブロックを図 3(a) に示す. オペアンプとそのフィードバックループに pMOSFET を接続した構成を用いて対数電圧を出力する. その出力結果を pMOSFET ( $M_{DIV}$ ) のソース・ゲート間に印加し, 指数変換する. ゲート・ソース間電圧の差を利用することにより結果として割算結果が得られる. また, 電流出力を得るために一定電流  $I_{ref}$  を用いた.

以下に回路動作を説明する. オペアンプの利得が十分高ければ, 回路に入力される弱反転電流  $I_1, I_2, I_{ref}$  はフィードバックを構成している pMOSFET へ流入し, 次式が成立する.

$$V_0 = V_{X_P} + \frac{\eta_P k_B T}{e} \ln\left(\frac{I_{ref}}{I_{X_P}}\right) \quad (9)$$

$$V_1 = V_{X_P} + \frac{\eta_P k_B T}{e} \ln\left(\frac{I_1}{I_{X_P}}\right) \quad (10)$$

$$V_2 = V_{X_P} + \frac{\eta_P k_B T}{e} \ln\left(\frac{I_2}{I_{X_P}}\right) \quad (11)$$

$M_{DIV}$  のゲート・ソース間電圧を  $V_{DIV}$  とすると, 回路構成により  $V_{DIV} = V_0 + V_1 - V_2$  が成立する. したがって,  $M_{DIV}$  を流れる電流  $I_{DIV}$  は,

$$\begin{aligned} I_{DIV} &= I_{X_P} \exp\left(\frac{e(V_0 + V_1 - V_2 - V_{X_P})}{\eta_P k_B T}\right) \\ &= I_{ref} \frac{I_1}{I_2} \end{aligned} \quad (12)$$

となる. さらに, 2 つの弱反転電流  $I_1, I_2$  は印加する定電圧  $V_{GS1}, V_{GS2}$  で決まる電流であることから,

$$\begin{aligned} I_{DIV} &= I_{ref} \exp\left(\frac{e(V_{GS,1} - V_{GS,2})}{\eta_P k_B T}\right) \\ &= I_{ref} \exp\left(-\frac{\Delta E}{k_B T}\right) \end{aligned} \quad (13)$$

となる.  $I_{ref}$  が温度に依存しない一定量であることを考慮すると, この電流値の積分が劣化量に比例することが理解できる.

### 3.3 積分回路

積分回路を図 3(b) に示す. 積分は, オペアンプとキャパシタ  $C$  を用いて行なうため, 次式が成立する.

$$\begin{aligned} V_{OUT} &= -\frac{1}{C} \int_0^{t_1} I_{DIV} dt \\ &= -\frac{1}{C} \int_0^{t_1} I_{ref} \exp\left(-\frac{\Delta E}{k_B T}\right) dt \end{aligned} \quad (14)$$

ただし, 長時間の積分を行なうには, 大きな時定数を実現するための大きな容量  $C$  が必要となり, チップ面積の増大を招く. さらに低消費電力で動作させることから回路中のリークなどにより積分動作に影響を与える可能性がある. これらの問題を解決するため, 容量  $C$  を小さくして積分期間を短縮している. 劣化量に比例

するアナログ量を図 3(c) の比較器, カウンタを用いてデジタル値に変換し, リセット回数を数えることで等価的に長時間にわたる積分を行っている。

### 3.4 回路動作

ここまでの議論から回路動作をまとめる。式 (4) で表される弱反転領域で動作する MOSFET のドレイン電流を割り算回路に入力し, 対数電圧変換, さらに電圧の引き算を行ない, 式 (12) で表される電流  $I_{DIV}$  を出力する。この電流値を積分器で積分し, 比較器の比較電圧値  $V_{CMP}$  と一致するまで積分動作を行なう。積分出力電圧値  $V_{OUT}$  と比較値  $V_{CMP}$  が一致した段階で, リセット信号を積分器へ送り, 積分動作をリセットする。同時に, リセット信号をカウンタで数え上げる。そして所定のリセット回数に達した段階で, 品質保証期限に到達したことを判定する。

## 4 シミュレーション

積分器の出力電圧  $V_{OUT}$  の SPICE シミュレーション結果を図 4 に示す。回路はリセットモードと動作モードにより動作させている。動作 (Operation) モードにおける積分器の出力電圧は解析結果に沿った積分動作を行なっている。さらに, 高温になれば積分結果の勾配が大きくなっている。

式 (14) で表される積分器の出力電圧の時間微分は次のように表される。

$$\left| \frac{dV_{OUT}}{dt} \right| = \frac{I_{ref}}{C} \exp\left(-\frac{\Delta E}{k_B T}\right) \quad (15)$$

横軸に絶対温度の逆数を取り, 縦軸に出力電圧の傾きを対数スケールでとると図 5 のように直線に乗ることが分かる。活性化エネルギー毎にその傾きが異なる直線上に乗っている。

活性化エネルギーが小さいと, 指数関数項の効果が小さいため, (i) 出力電圧  $V_{OUT}$  の傾きは,  $I_{ref}$  および容量  $C$  に依存した大きな値となる, (ii) 温度に対する変化率は小さくなる。逆に, 大きい活性化エネルギーでは指数関数項の影響で, 温度に依存性も大きくなる。

消費電流は最も電流量が多くなる 69 [°C] において, 2.2 [ $\mu$ A] ( 3.3 [ $\mu$ W] ) である。一般的なボタン電池の標準容量が 35 [mAh] であるとする, 35 [mAh]/2.2

[ $\mu$ A] =  $1.6 \times 10^4$  [h]  $\sim$  1.8 [year] となり, 約 1 年 10 カ月動作可能となる。

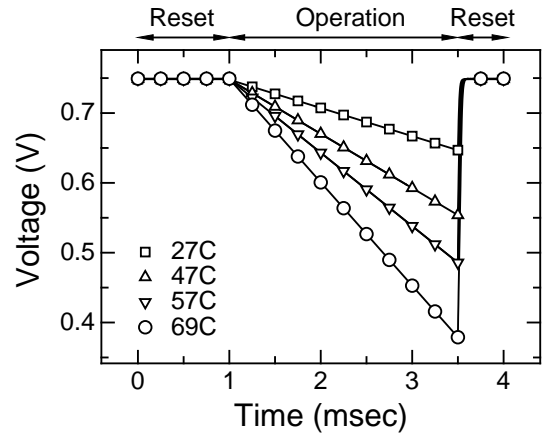


図 4: 積分器の出力電圧  $V_{OUT}$  のシミュレーション結果。  $V_{GS,1} - V_{GS,2} = 50$  mV に設定。動作温度 27 °C ~ 69 °C。

表 2: シミュレーション結果のまとめ

使用プロセス	0.25 $\mu$ m 1 層ポリ 5 層メタル CMOS
電源電圧	1.5 V (ボタン電池使用想定)
消費電力	3.3 $\mu$ W (T=69 °C) ~ 約 1 年 10 カ月動作可能

## 5 測定

図 6 に今回設計したチップ写真および測定系を示す。チップサイズは 510 [ $\mu$ m]  $\times$  425 [ $\mu$ m] と小面積である。測定は DC バイアス発生装置, 恒温槽, そしてオシロスコープを用いて行なった。恒温槽によりチップの動作温度を変化させ測定を行なっている。図 7 に測定結果を示す。シミュレーション結果と比較してもほぼ一致していることが分かる。測定では 2 つの弱反転電流を pMOSFET のゲート・ソース間電圧  $V_{GS,1} = 450$  [mV],  $V_{GS,2} = 500$  [mV] に設定し, つまり活性化エネルギーを 50 [mV] に設定している。積分結果が若干の非線形性を有しているが, 弱反転動作オペアンプの利得が若干不足していたことが理由として考えられる。

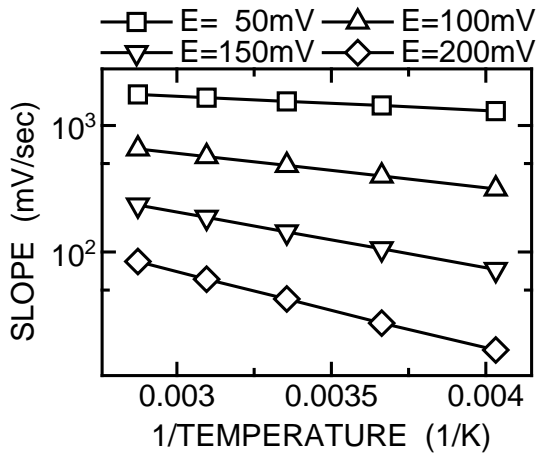


図 5: 各活性化エネルギーにおける積分器の出力電圧  $V_{OUT}$  の傾きの絶対値.

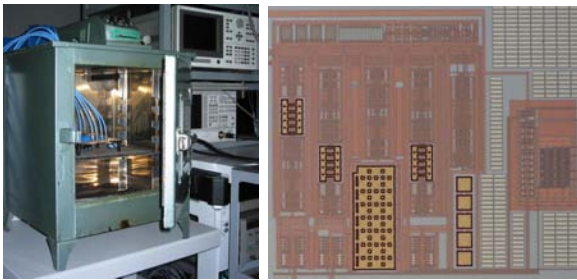


図 6: 測定環境およびチップ写真. 恒温槽で動作温度を変化させている.

## 6 まとめ

弱反転領域における MOSFET のドレイン電流をもとに物質の活性化エネルギーを模擬し, 対象となる物質の劣化量をモニタする回路を提案した. ボタン電池やシート電池などと一体化し, 製品に付加することによりその物質の品質をより精密に管理することが可能となり, より動的な保証期限の設定が可能となる. 提案回路は抵抗体として利用する一部の素子を除いてすべての MOSFET が弱反転動作をしている. SPICE シミュレーションにより動作確認を行なった. さらに, 実際にチップを設計し, 測定を行ない解析通り動作していることを確認した.

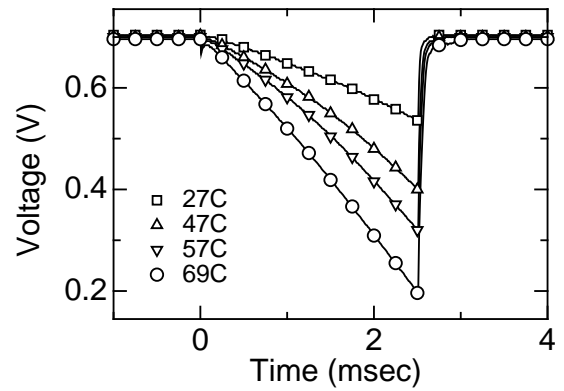


図 7: 積分器の出力電圧  $V_{OUT}$  の測定結果.  $V_{GS,1}-V_{GS,2} = 50 \text{ mV}$  に設定. 測定温度  $27^\circ\text{C} \sim 69^\circ\text{C}$ .

## 参考文献

- [1] P.W. Atkins, "Physical Chemistry Sixth Edition", Oxford University Press, 1998.
- [2] A.J.Peyton and V.Walsh, "Analog Electronics with OP Amps", CAMBRIDGE UNIVERSITY PRESS, 1993.
- [3] P.E.Allen and D.R.Holberg, "CMOS Analog circuit", Oxford University Press, 2002.